

SIMATIC NET

SPC3 Siemens PROFIBUS Контроллер

Описание аппаратной части

2005/12/13

SIEMENS

SIMATIC - NET

SPC3

Описание аппаратной части

PROFIBUS контроллер фирмы Siemens
(соответствует требованиям IEC 61158)

Версия : 1.4
Дата : 2005/12

Ответственность

Содержание данного руководства было проверено на соответствие описанным в нем техническим и программным продуктам. Поскольку возможные изменения в последних не могли быть предвидены в полном объеме, полное соответствие не может быть гарантировано. Материалы данного руководства регулярно проверяются, а необходимые изменения вносятся в последующие выпуски. Мы рады любым предложениям по улучшению качества наших руководств.

Авторские права Siemens AG 2003.**Все права зарезервированы**

Воспроизведение, передача или использование настоящего документа или его части допускается лишь с письменного разрешения. Нарушители будут привлекаться к ответственности за нанесенные убытки. Все права, включая права, возникающие при выдаче патента или регистрации промышленного образца, сохраняются.

Возможны технические изменения.

Версии

Версия	Дата	Изменения
V 1.1	12/23/99	Глава 8.2 Потребление тока без доступа к шине Глава 10.1 Контактные персоны
V 1.2	09/25/02	Включены спецификации различных производителей в Главы 8.1, 8.3, 8.5 и 10.3 Заказные номера Глава 10.1 Контактные персоны
V 1.3	2003/04	Включены спецификации различных производителей в Глава. 8.1, 8.3, 8.5 и 10.3
V 1.4	2005/12	Заказные номера для «не содержащих свинца» версий

СОДЕРЖАНИЕ

1	Введение	6
2	Обзор функций	7
3	Назначение контактов	8
4	Распределение памяти	10
4.1	Распределение областей памяти в SPC3	10
4.2	Параметры процессора (Регистры)	12
4.3	Организационные параметры (RAM)	14
5	ASIC интерфейс	15
5.1	Регистры режима	15
5.1.1	Регистр режима 0	15
5.1.2	Регистр режима 1	17
5.2	Регистр статуса	18
5.3	Контроллер прерываний	20
5.4	Watchdog таймер	23
5.4.1	Автоматическое определение скорости передачи	23
5.4.2	Контроль скорости передачи	23
5.4.3	Контроль времени отклика	23
6	PROFIBUS-DP интерфейс	24
6.1	Структура DP_Buffer	24
6.2	Описание DP служб	27
6.2.1	Set_Slave_Address (SAP55)	27
6.2.2	Set_Param (SAP61)	28
6.2.3	Check_Config (SAP62)	29
6.2.4	Slave_Diagnosis (SAP60)	30
6.2.5	Write_Read_Data / Data_Exchange (Default_SAP)	31
6.2.6	Global_Control (SAP58)	33
6.2.7	Read_Inputs (SAP56)	34
6.2.8	Read_Outputs (SAP57)	34
6.2.9	Get_Config (SAP59)	34
7	Аппаратный интерфейс	35
7.1	Универсальный интерфейс процессорной шины	35
7.1.1	Общее описание	35
7.1.2	Модуль интерфейса (BIU)	35
7.1.3	Принципиальные коммутационные диаграммы	37
7.1.4	Приложения с 80 C 32	39
7.1.5	Приложение с 80 C 165	40
7.1.6	Интерфейсные сигналы	41

7.2	UART	41
7.3	Тест ASIC	41
8	Технические данные	
8.1	Максимально допустимые значения	42
8.2	Допустимые рабочие значения	42
8.3	DC-характеристики I/O-драйверов (постоянный ток)	42
8.4	AC-Технические данные выходных драйверов (переменный ток)	43
8.5	Временные характеристики	44
8.5.1	Интерфейс системной шины (SYS Bus)	44
8.5.2	Временные характеристики синхронного C32-режима:	45
8.5.3	Временные характеристики асинхронного режима Intel (режим X86) :	47
8.5.4	Временные характеристики синхронного Motorola- режима (E_Clock-режим, например, 68HC11) :	48
8.5.5	Временные характеристики асинхронного Motorola- режима (например, 68HC16)	50
8.5.6	Последовательный шинный интерфейс	52
8.5.7	Корпус	53
8.5.8	Инструкции по применению	54
9	PROFIBUS интерфейс	55
9.1	Назначение контактов	55
9.2	Пример интерфейса RS 485	56
10	Приложения	57
10.1	Адреса	57
10.2	Основные термины	58
10.3	Заказ ASICs	58
10.3.1	SPC3 (AMI)	58
10.3.2	SPC3 (ST)	58
11	Приложение А: Обработка диагностики в PROFIBUS DP	59
11.1	Введение	59
11.2	Диагностические биты и расширенная диагностика	59
11.2.1	STAT_DIAG	59
11.2.2	EXT_DIAG	59
11.2.3	EXT_DIAG_OVERFLOW	61
11.3	Обработка диагностики из Системного вида (System View)	61
12	Приложение В: Полезная информация	62
12.1	Формат данных в контроллерах SIMATIC фирмы Siemens	62

1 Введение

Для простого и быстрого обмена данными между программируемыми логическими контроллерами, Siemens предлагает пользователям несколько вариантов ASIC. Эти ASIC функционируют на основе требований и соответствуют стандарту EN 50170, Часть. 2: обмен данными между станциями с программируемыми логическими контроллерами.

Следующие ASIC используются для создания решений на базе интеллектуальных слэйвов (ведомых устройств), т.е. выполненных на базе микропроцессоров.

В **ASPC2** уже встроены многие функции уровня (Layer) 2, но **ASPC2** также требует процессорной поддержки. Этот ASIC поддерживает скорость до 12 Мбод. По своей сложности, этот ASIC был изначально спроектирован для применения в качестве мастера (ведущего устройства).

Благодаря полной реализации PROFIBUS-DP протокола, **SPC3** играет основную роль в реализации процессора интеллектуального PROFIBUS слэйва. **SPC3** может функционировать на шине со скоростью до 12Мбод.

В то же время, в автоматизации используются простые устройства, например, коммутаторы и термоэлементы, не требующие микропроцессора для записи их состояний.

Есть также два дополнительных ASIC с обозначением **SPM2** (Siemens Profibus Multiplexer, Версия 2) и **LSPM2** (Lean Siemens PROFIBUS Multiplexer) для экономичной адаптации этих устройств. Эти блоки работают в качестве DP слэйва в шинной системе (в соответствии с DIN E 19245 T3) при скорости до 12 Мбод. Мастер адресуется к этим блокам через уровни 2 или 7 модели стека протоколов. После этого блоки принимают телеграммы и генерируют необходимые ответные телеграммы.

LSPM2 имеет те же функции, что и SPM2, но LSPM2 имеет меньшее количество портов ввода/вывода и диагностических портов.

2 Обзор функций

SPC3 дает возможность создать оптимальную по себестоимости конфигурацию приложения с интеллектуальными PROFIBUS-DP слэями.

Процессорный интерфейс поддерживает следующие процессоры:

Intel:	80C31, 80X86
Siemens:	80C166/165/167
Motorola:	HC11-, HC16-, HC916

В SPC3, встроена технология передачи (уровень 1), кроме аналоговых функций (RS485 драйверы), FDL протокол (Fieldbus Data Link) для ведомых станций (уровень 2a), поддерживает интерфейсные утилиты (уровень 2b), некоторые FMA утилиты уровня 2, а также полностью поддерживается DP слэйв протокол (USIF: пользовательский интерфейс, который дает возможность пользователю получить доступ к уровню 2). Остальные функции уровня 2 (программные утилиты и управление) должны быть реализованы в программном обеспечении.

Встроенный **1.5k Dual-Port-RAM** служит интерфейсом между SPC3 и программой/ приложением. Общая память разбивается на 192 сегмента, по 8 байт каждый. Адресация пользователя осуществляется непосредственно и из внутреннего микропроцессора управления последовательностью микрокоманд (microsequencer = MS) при помощи, так называемого, базового указателя. Базовый указатель может устанавливаться на любой сегмент в памяти. Поэтому, все буферы должны всегда начинаться с начала сегмента.

Если SPC3 выполняет DP коммуникации, SPC3 автоматически устанавливает все точки доступа DP-SAP. Различные данные телеграмм доступны для пользователя через отдельные буферы данных (например, конфигурационные и параметрические данные). Для обмена данными выполняется смена буферов, как для входных, так и для выходных данных. Для коммуникаций всегда производится смена буфера. Поэтому исключены проблемы с ресурсами. Для оптимальной диагностики, SPC3 имеет два диагностических буфера, в которых пользователь получает обновляемые диагностические данные. В этом процессе, один диагностический буфер всегда назначается SPC3.

Шинный интерфейс представляет собой параметрируемый синхронный/ асинхронный 8-битовый интерфейс для микроконтроллеров / процессоров Intel и Motorola. Пользователь может получить непосредственный доступ к внутренней 1.5k RAM-памяти или к разделу параметров через 11-битную адресную шину.

После включения процессора, процедурные параметры (адрес станции, биты управления, ит.д.) должны быть переданы **файл параметрических регистров** и в **регистры режимов**.

MAC статус может быть в любое время запрошен из **статусного регистра**.

Различные регистры (различная индикация, ошибочные состояния и т.д.) вводятся в **контроллер прерываний**. Эти события могут быть отдельно деблокированы через маски регистров. Подтверждение выполняется через специальный регистр (acknowledge register). SPC3 имеет общий выход прерываний.

Встроенный таймер контроля времени (**Watchdog Timer**) работает в трех различных состояниях: 'Baud_Search'(определение скорости передачи), 'Baud_Control', (управление скоростью передачи), и 'DP_Control'(DP контроль).

Всем процессом управляет микропроцессор управления последовательностью микрокоманд **Micro Sequencer (MS)**.

Специфичные процедурные параметры (указатель буфера, длина буфера, адрес станции, и т.д.) а также данные буфера сохраняются во встроенной памяти **RAM объемом 1.5Кбайт**, к которой контроллер обращается как к Dual-Port-RAM.

В **UART** параллельная передача данных преобразуется в последовательную передачу данных и наоборот. SPC3 имеет способность автоматически определять скорость передачи (9.6 Кбод - 12 Мбод).

Время **Idle Timer** непосредственно управляет временами на кабеле последовательной шины.

3 Назначение контактов

SPC3 имеет 44-контактный PQFP корпус со следующими назначениями:

Контакт	Сигнал	Вход/выход	Описание		Источник/цель
1	XCS	I \odot	Выбор чипа (Chip-Select)	Режим C32: в VDD. Режим C165: CS-сигнал	CPU (80C165)
2	XWR/E_Clock	I \odot	Сигнал записи /EI_Clock для Motorola		CPU
3	DIVIDER	I \odot	Установка коэффициента масштабирования для CLK2OUT2/4. Низкий потенциал означает деление на 4		
4	XRD/R_W	I \odot	Сигнал Чтение / Чтение_Запись для Motorola		CPU
5	CLK	I (TS)	Вход синхроимпульсов (Clock pulse)		Система
6	VSS				
7	CLKOUT2/4	O	Вход синхроимпульсов (Clock pulse), с делением на 2 или 4		Система, CPU
8	XINT/MOT	I \odot	логический 0 = интерфейс Intel логическая 1 = интерфейс Motorola		Система
9	X/INT	O	Прерывания		CPU, управление прерываниями
10	AB10	I(CPD)	Адресная шина	Режим C32: логический 0 Режим C165: адресная шина	
11	DB0	I \odot /O	Шина данных	Режим C32: Мультиплексирование шин д./адр.	CPU, память
12	DB1	I \odot /O		Режим C165: Отдельные шины данных/адреса	
13	XDATAEXCH	O	Состояние обмена данными Data_Exchange для PROFIBUS-DP		Светодиод
14	XREADY/XDTACK	O	Готовность для внешнего CPU		Система, CPU
15	DB2	I \odot /O	Шина данных	Режим C32: мультиплекс. шин данных / адреса	CPU, память
16	DB3	I \odot /O		Режим C165: отдельные шины данных/адреса	
17	VSS				
18	VDD				
19	DB4	I \odot /O	Шина данных	Режим C32: мультиплекс. шин данных / адреса	CPU, память
20	DB5	I \odot /O		Режим C165: отдельные шины данных / адреса	
21	DB6	I \odot /O			
22	DB7	I \odot /O			
23	MODE	I	логический 0 = 80C166 отдельные шины дан./адр.; готовность логическая 1 = 80C32 мультиплексирование шин дан./адр., фиксированная синхронизация		Система
24	ALE/AS	I \odot	Разрешение блокировки адресов	Режим C32: ALE Режим C165: логический 0	CPU (80C32)
25	AB9	I	Адресная шина	Режим C32: логический 0 Режим C165: адресная шина	CPU (C165), память
26	TXD	O	Последовательный передающий порт		Передатчик RS 485
27	RTS	O	Запрос на передачу (Request to Send)		Передатчик RS 485
28	VSS				
29	AB8	I \odot	Адресная шина	Режим C32: <log> 0	
30	RXD	I \odot	Последовательный приемный порт		Приемник RS 485
31	AB7	I \odot	Адресная шина		Система, CPU
32	AB6	I \odot	Адресная шина		Система, CPU
33	XCTS	I \odot	Сброс для передачи: логический 0 = разрешение передачи		FSK модем
34	XTEST0	I \odot	Контакт постоянно подключен на VDD.		
35	XTEST1	I \odot	Контакт постоянно подключен на VDD.		
36	RESET	I(CS)	Соединяет вход сброса с портом CPU.		
37	AB4	I \odot	Адресная шина		Система, CPU
38	VSS				
39	VDD				
40	AB3	I \odot	Адресная шина		Система, CPU
41	AB2	I \odot			
42	AB5	I \odot			
43	AB1	I \odot	Адресная шина		Система, CPU
44	AB0	I \odot			

Рисунок 3.1: Назначение контактов SPC3

Примечание:

- Все сигналы, начинающиеся с X.. активируются НИЗКИМ уровнем сигнала
- VDD = +5V, VSS = GND

Уровни входов: I \odot : CMOS

I (CS):	CMOS триггер Шмитта
I (CPD):	CMOS (pull down)
I (TS):	TTL триггер Шмитта

4 Распределение памяти

4.1 Распределение памяти в SPC3

На рисунке показано разбиение 1.5кбайт памяти SPC3 на внутренние адресные области.

Внутренние триггерные регистры расположены в первых 22 байтах. Эти внутренние регистры могут как изменяться контроллером, так и воздействовать на него. Определенные ячейки могут использоваться только для чтения или только для записи. Внутренние рабочие ячейки, к которым пользователь не имеет доступа, расположены в RAM памяти под теми же адресами.

Организационные параметры расположены в RAM памяти с адреса 16H. Общая структура буферов (для DP-SAPS) описывается на основании этих параметров. Дополнительно, основные данные параметров установки (адрес станции, идентификационный номер и т.д.) передаются в эти ячейки и в этих же ячейках сохраняется статусная индикация (команды глобального управления и т.д.).

В соответствии с установками в организационных параметрах, создаваемые пользователем буферы располагаются с адреса 40H. Все буферы и списки должны начинаться с адреса сегмента (48 байтовая сегментация).

Адрес	Функция	
000H	Параметры процессора Триггерный регистр (22 байта)	внутренние рабочие ячейки
016H	Организационные параметры (42 байта)	
040H	DP- буфер: Входные данные (3) * Выходные данные (3) * Диагностика (2) Параметры данных (1)	
5FFH	Конфигурационные данные (2) Вспомогательный буфер (2) SSA-буфер(1)	

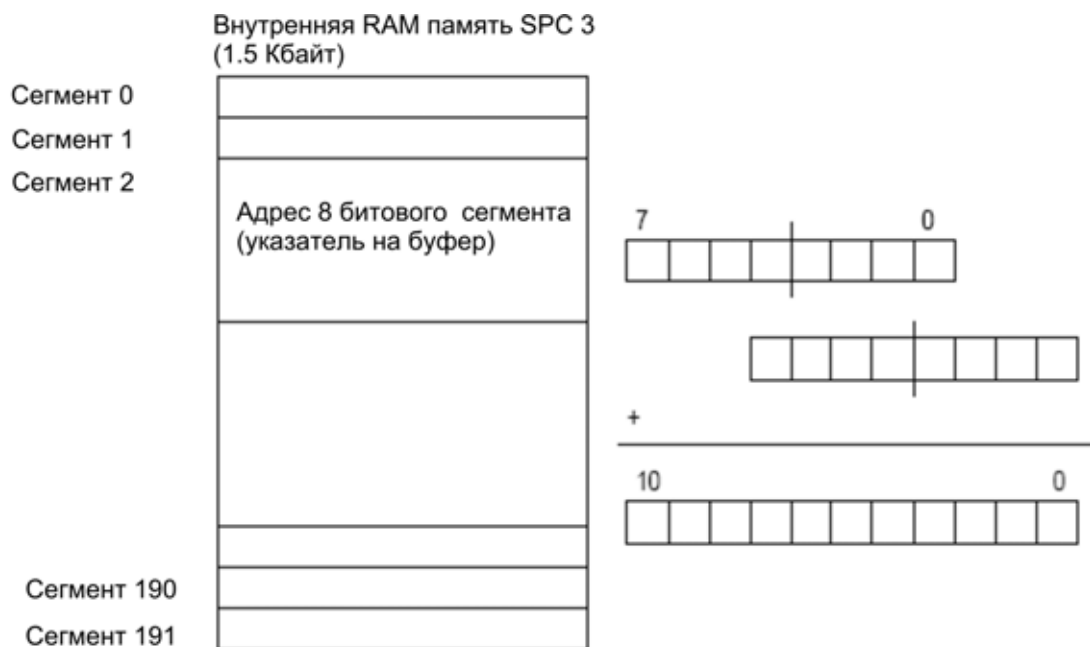
Рисунок 4.1: Описание областей памяти SPC3

Предупреждение:

Выход за пределы адресных областей запрещен на аппаратном уровне. Это значит, что если пользователь читает или записывает данные за пределами границы памяти, От этого адреса вычитается значение 400H и, следовательно, пользователь получает новый адрес доступа. Эти ограничения приводят к перезаписи параметров процесса. В этом случае, SPC3 вырабатывает прерывание ошибки доступа к RAM памяти. Если в MS происходит выход за границу памяти из-за ошибки инициализации буфера, то также выполняется вышеописанная процедура

* Входными данными являются данные, передаваемые от PROFIBUS слэйва к мастеру
Выходными данными являются данные, передаваемые от PROFIBUS мастера к слэйву

Общая внутренняя RAM память SPC 3 логически разбита на 192 сегмента. Каждый сегмент содержит 8 байт. Для получения более подробной информации о содержимом 3 областей памяти, обратитесь к предыдущей главе. Физический адрес получается умножением на 8.



4.2 Параметры процессора (Триггерный регистр)

Эти ячейки памяти могут использоваться как только для чтения, так и только для записи. SPC3 выполняет "обмен местами адресов" для доступа к области 00H - 07H (пословный регистр) при режиме работы с Motorola. Таким образом, SPC3 меняет местами адресный бит 0, взятый из четного адреса на соответствующий из нечетного адреса. В следующей таблице более подробно объясняется содержание отдельных регистров.

Адрес Intel / Motorola	Название	Номер бита	Значение (доступ на чтение!)	
00H	01H	Int-Req-Reg	7..0	Регистр контроллера прерываний
01H	00H	Int-Req-Reg	15..8	
02H	03H	Int-Req-Reg	7..0	
03H	02H	Int-Req-Reg	15..8	
04H	05H	Status-Reg	7..0	Статусный регистр
05H	04H	Status-Reg	15..8	
06H	07H	Зарезервировано		
07H	06H			
08H	DIN_Buffer_SM		7..0	Назначение буфера для DP_Din_Buffer_State_Machine
09H	New_DIN_Buffer_Cmd		1..0	Пользователь создает новый DP Din буфер, доступный в N состоянии.
0AH	DOUT_Buffer_SM		7..0	Назначение буфера для DP_Dout_Puffer_State_Machine
0BH	Next_DOUT_Buffer_Cmd		1..0	Пользователь получает данные последнего DP Dout буфера из N состояния
0CH	DIAG_Buffer_SM		3..0	Назначение буфера для DP_Diag_Puffer_State_Machine
0DH	New_DIAG_Puffer_Cmd		1..0	Пользователь создает новый DP Diag буфер доступный для SPC3.
0EH	User_Prm_Data_OK		1..0	Пользователь дает положительное подтверждение задания параметров Set_Param-телеграммой.
0FH	UserPrmDataNOK		1..0	Пользователь дает отрицательное подтверждение задания параметров Set_Param-телеграммой.
10H	User_Cfg_Data_OK		1..0	Пользователь дает положительное подтверждение конфигурационной Check_Config-телеграммы.
11H	User_Cfg_Data_NOK		1..0	Пользователь дает отрицательное подтверждение конфигурационной Check_Config-телеграммы.
12H	Зарезервировано			
13H				
14H	SSA_Bufferfreecmd			Пользователь получает данные из SSA буфера и делает буфер снова доступным.
15H	Зарезервировано			

Рисунок 4.2: Назначение внутренних параметров для доступа к регистрам на чтение

Адреса Intel /Motorola		Название	Номер бита	Значение (доступ на запись!)
00H	01H	Int-Req-Reg	7..0	Регистр контроллера прерываний
01H	00H	Int-Req_Reg	15..8	
02H	03H	Int-Ack-Reg	7..0	
03H	02H	Int-Ack-Reg	15..8	
04H	05H	Int—Mask-Reg	7..0	
05H	04H	Int—Mask-Reg	15..8	
06H	07H	Mode-Reg0	7..0	Задание параметров для отдельных битов
07H	06H	Mode-Reg0-S	15..8	
08H		Mode-Reg1-S	7..0	
09H		Mode-Reg1-R	7..0	
0AH		WD Baud Ctrl -Val	7..0	Начальное значение для контроля скорости
0BH		MinTsd_r_Val	7..0	Минимальное времяTsd_r
0CH		Зарезервировано		
0DH				
0EH				
0FH				
10H				
11H				
12H				
13H				
14H				
15H				

Рисунок 4.3: Назначение внутренних параметров для доступа к регистрам на запись

4.3 Организационные параметры (RAM)

Пользователь сохраняет организационные параметры в RAM памяти по определенным адресам. Эти параметры могут быть считаны и записаны.

Адреса Intel /Motorola	Название	Номер бита	Значение
16H	R_TS_Adr	7..0	Назначение адреса станции соответствующего SPC3
17H	Зарезервировано		Указатель на RAM адрес, предустановленный в 0FFH
18H	R_User_Wd_Value	7..0	На базе внутреннего 16-битного watchdog таймера, пользователь контролирует время в DP_Mode.
19H			
19H	R_User_Wd_Value	15..8	
1AH	R_Len_Dout_Puf		Длина 3 Dout буферов
1BH	R_Dout_buf_Ptr1		Базовый адрес сегмента Dout буфера 1
1CH	R_Dout_buf_Ptr2		Базовый адрес сегмента Dout буфера 2
1DH	R_Dout_buf_Ptr3		Базовый адрес сегмента Dout буфера 3
1EH	R_Len_Din_buf		Длина 3 Din буферов
1FH	R_Din_buf_Ptr1		Базовый адрес сегмента Din буфера 1
20H	R_Din_buf_Ptr2		Базовый адрес сегмента Din буфера 2
21H	R_Din_buf_Ptr3		Базовый адрес сегмента Din буфера 3
22H	Зарезервировано		Предустановлено на 00H
23H	Зарезервировано		Предустановлено на 00H
24H	R_Len_Diag_buf1		Длина Diag буфера 1
25H	R_Len_Diag_buf2		Длина Diag буфера 2
26H	R_Diag_Puf_Ptr1		Базовый адрес сегмента Diag буфера 1
27H	R_Diag_Puf_Ptr2		Базовый адрес сегмента Diag буфера 2
28H	R_Len_Cntrl_Pbuf1		Длина Aux буфера 1 и соответствующего управляющего буфера, например, SSA-Buf, Prm-Buf, Cfg-Buf, Read-Cfg-Buf
29H	R_Len_Cntrl_Puf2		Длина Aux буфера 2 и соответствующего управляющего буфера, например, SSA-Buf, Prm-Buf, Cfg-Buf, Read-Cfg-Buf
2AH	R_Aux_Puf_Sel		Битовый массив, в котором для назначенных Aux-буферов ½ задается для управляющих SSA-Buf, Prm-Buf, Cfg-Buf
2BH	R_Aux_buf_Ptr1		Базовый адрес сегмента вспомогательного буфера 1
2CH	R_Aux_buf_Ptr2		Базовый адрес сегмента вспомогательного буфера 2
2DH	R_Len_SSA_Data		Длина входных данных в Set_Slave_Address-буфере
2EH	R_SSA_buf_Ptr		Базовый адрес сегмента Set_Slave_Address-буфера
2FH	R_Len_Prm_Data		Длина входных данных в Set_Param-буфере
30H	R_Prm_buf_Ptr		Базовый адрес сегмента Set_Param-буфера
31H	R_Len_Cfg_Data		Длина входных данных в Check_Config-буфере
32H	R_Cfg_Buf_Ptr		Базовый адрес сегмента Check_Config-буфера
33H	R_Len_Read_Cfg_Data		Длина входных данных в Get_Config-буфере
34H	R_Read_Cfg_buf_Ptr		Базовый адрес сегмента Get_Config-буфера
35H	Зарезервировано		Предустановлено на 00H
36H	Зарезервировано		Предустановлено на 00H
37H	Зарезервировано		Предустановлено на 00H
38H	Зарезервировано		Предустановлено на 00H
39H	R_Real_No_Add_Change		Этот параметр определяет: может ли адрес DP слэйма быть изменен в дальнейшем
3AH	R_Ident_Low		Пользователь задает параметр для значения Ident_Low.
3BH	R_Ident_High		Пользователь задает параметр для значения Ident_High.
3CH	R_GC_Command		Последняя принятая команда Global_Control_Command
3DH	R_Len_Spec_Prm_buf		При заданных параметрах для Spec_Prm_Buffer_Mode (см. регистр режимов 0), эти ячейки определяют длину параметрического буфера

Рисунок 4.4: Назначение организационных параметров

5 ASIC интерфейс

Далее описаны регистры, определяющие как аппаратные функции ASIC, так и обработку телеграмм.

5.1 Регистры режима

Параметрические биты, доступные непосредственно контроллеру или которые контроллер непосредственно устанавливает, объединены в двух регистрах режимов (0 и 1) в SPC3.

5.1.1 Регистр режима 0

Установка параметров для регистра режима 0 имеет место только в режиме *offline* (например, после включения). SPC3 не может выйти из режима *offline*, пока в регистр режима 0 не загружены все параметры процессора и организационные параметры (START_SPC3 = 1, Mode-Register 1).

Регистр управления адресом	Позиция бита								Обозначение
	7	6	5	4	3	2	1	0	
06H (Intel)	Freeze_Support-ed	Sync_Support-ed	EARLY_RDY	INT_POL	MinTSDR		DIS_STOP_CON TROL	DIS_START_CON TROL	Рег.режима 0 7..0

Регистр управления адресом	Позиция бита								Обозначение
	15	14	13	12	11	10	9	8	
07H (Intel)			Spec_Clear_Mode *)	Spec_Prm_Puf_Mode **)	WD Test	User Time base	EOI Time base	DP Mode	Рег.режима 0 13 .. 8

*) Если Spec Clear Mode (Режим Fail Safe) = 1, то в режиме обмена данными SPC3 может принимать телеграммы с нулевым полем данных. Реакция выходов может быть параметрирована, например, в параметризационной телеграмме (возможно только с версии Step C).

**) Если большое количество параметров передается от PROFIBUS-мастера к слэйву, дополнительный буфер должен иметь такой же объем как у объема параметризационного буфера. Иногда при этом можно достичь, границы доступной памяти SPC3. Если Spec_Prm_Puf_Mode = 1, параметризационные данные обрабатываются непосредственно в специальном буфере, и вспомогательный буфер может быть небольшим.

Бит 0	DIS_START_CONTROL
	Контроль последовательности стартовых битов в UART. Телеграмма Set-Param перезаписывает эту ячейку памяти в 0 = Контроль последовательности стартовых битов включен. 1 = Контроль последовательности стартовых битов выключен.
Бит 1	DIS_STOP_CONTROL
	Контроль стопового бита в UART. Телеграмма Set-Param перезаписывает эту ячейку памяти в DP-режиме. 0 = Мониторинг стопового бита включен. 1 = Мониторинг стопового бита выключен.
Бит 2	EN_FDL_DDB
	Резерв 0 = Прием FDL_DDB отключен.
Бит 3	MinTSDR
	Заводские установки для MinTSDR после сброса для DP-режима или комбинированного режима 0 = DP режим (заводская конфигурация!) 1 = Комбинированный режим
Бит 4	INT_POL
	Полярность выхода прерывания 0 = Выход прерывания с низким активным уровнем. 1 = Выход прерывания с высоким активным уровнем.
Бит 5	EARLY_RDY
	Вывод сигнала готовности 0 = Готовность генерируется, если данные правильные (чтение) или когда данные приняты (запись). 1 = Готовность перемещается одним синхроимпульсом.
Бит 6	Sync_Supported
	Поддержка режима Sync_Mode 0 = Sync_Mode не поддерживается. 1 = Sync_Mode поддерживается.
Бит 7	Freeze_Supported
	Поддержка режима Freeze_Mode 0 = Freeze_Mode не поддерживается. 1 = Freeze_Mode поддерживается.
Бит 8	DP_MODE
	Включение DP_Mode 0 = DP_Mode выключен. 1 = DP_Mode включен. SPC3 устанавливает все DP_SAP.
Бит 9	EOI_Time base
	Масштаб времени окончания импульса прерывания 0 = Время неактивности прерывания не менее 1 мкс. 1 = Время неактивности прерывания не менее 1 мс.
Бит 10	User_Time base
	Масштаб времени для циклического User_Time_Clock-Interrupt 0 = User_Time_Clock-Interrupt происходит через 1 мс. 1 = User_Time_Clock-Interrupt происходит через 10 мс.
Бит 11	WD_тест
	Тестовый режим для Watchdog-таймера, не функциональный режим 0 = WD запущен в функциональном режиме. 1 = не допускается
Бит 12	Spec_Prm_Puf_Mode
	Буфер специальных параметров 0 = Буфер специальных параметров отключен. 1 = Режим буфера специальных параметров. Параметризационные данные должны быть сохранены непосредственно в буфере специальных параметров.
Бит 13	Spec_Clear_Mode
	Режим специального сброса (Special Clear) (безопасный режим) 0 = Режим специального сброса выключен. 1 = Режим специального сброса. SPC3 должен принимать телеграммы с нулевыми блоками данных.

Рисунок 5.1: Регистр режима 0. Биты 12 .. 0.(может быть перезаписан, может быть изменен только в офлайн режиме)

5.1.2 Регистр режима 1 (Mode-REG1, перезаписываемый):

Некоторые служебные биты должны быть изменены во время работы. Эти служебные биты объединяются в регистре режима Mode-Register 1 и могут быть заданы независимо один от другого (Mode_Reg_S) или могут быть удалены независимо один от другого (Mode_Reg_R). Для задания и удаления используются различные адреса. Для задания или удаления в позицию бита должна быть записана логическая единица.

Регистр управления адресом	Позиция бита								Обозначение
	7	6	5	4	3	2	1	0	
08H			Res_User_WD	EN_Change_Cfg_Puffer	User_Leave_Master	Go_Offline	EOI	START_SPC3	Mode-Reg_S 7..0
09H			Res_User_WD	EN_Change_Cfg_Puffer	User_Leave_Master	Go_Offline	EOI	START_SPC3	Mode-Reg_R 7..0

Бит 0	START_SPC3
	Выход из состояния <i>Offline</i> 1 = SPC3 выходит из режима <i>offline</i> и переходит в пассивное состояние <i>passive-idle</i> . Кроме того, стартуют таймер ожидания и Wd-таймер и 'Go_Offline = 0' устанавливается.
Бит 1	EOI
	Конец прерывания 1 = Конец прерывания: SPC3 переключает режим выхода прерывания на неактивный и снова устанавливает EOI в состояние логического '0.'
Бит 2	Go_Offline
	Переход в состояние <i>offline</i> 1 = После выполнения текущих запросов, SPC3 переходит в состояние <i>offline</i> и снова устанавливает Go_Offline в состояние логического '0.'
Бит 3	User_Leave_Master
	Запрос к DP_SM о переходе в 'Wait_Prm.' 1 = Пользователь вызывает переход DP_SM в 'Wait_Prm.' После этого, SPC3 устанавливает User_Leave_Master в состояние логического '0.'
Бит 4	En_Change_Cfg_Puffer
	Разрешение обмена буферов (Cfg с Read_Cfg буфером) 0 = С 'User_Cfg_Data_Okay_Cmd,' Cfg буфер не может обмениваться с Read_Cfg буфером. 1 = С 'User_Cfg_Data_Okay_Cmd,' Cfg буфер может обмениваться с Read_Cfg буфером.
Бит 5	Res_User_Wd
	Сброс User_WD Timers 1 = SPC3 снова устанавливает User_Wd_Timer в параметризованное значение 'User_Wd_Value15..0.' После этого, SPC3 устанавливает Res_User_Wd в состояние логического '0.'

Таблица 5.2: Регистры режимов Mode Register 1 S и Mode Register 1 R. Бит 7..0.(перезаписываемый)

5.2 Регистр состояния

Регистр состояния отображает текущее состояние SPC3 и имеет доступ только для чтения.

Регистр управления адресом	Позиция бита								Обозначение
	7	6	5	4	3	2	1	0	
04H (Intel)	WD_State		DP_State		RAM access violation	Diag_Flag	FDL_IND_ST	Offline/Passive-Idle	Регистр состояния 7..0
	1	0	1	0					

Регистр управления адресом	Позиция бита								Обозначение
	15	14	13	12	11	10	9	8	
05H (Intel)	SPC3 версия				Скорость передачи				Регистр состояния 15..8
	3	2	1	0	3	2	1	0	

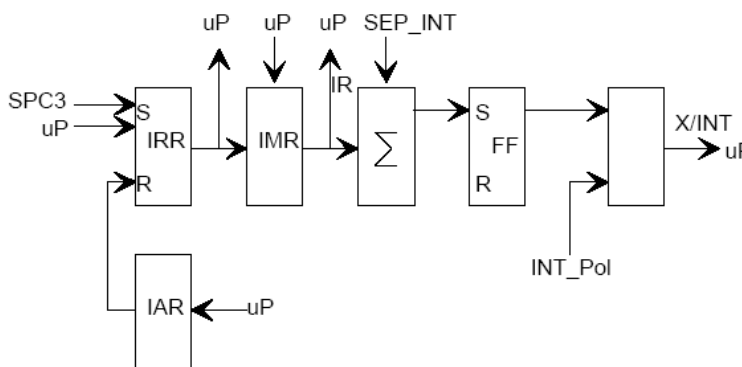
Бит 0	Offline/Passive-Idle (Offline/Пассивное ожидание)
	Состояние Offline-/Passive-Idle
	0 = SPC3 в состоянии offline. 1 = SPC3 в состоянии пассивного ожидания.
Бит 1	FDL_IND_ST
	FDL - индикация временно буферизирована.
	0 = FDL не отображает временную буферизацию. 1 = FDL отображает временную буферизацию.
Бит 2	Diag_Flag
	Состояние диагностического буфера
	0 = DP мастер выбрал диагностический буфер. 1 = DP мастер еще не выбрал диагностический буфер.
Бит 3	RAM Access Violation
	Обращение к памяти > 1.5 кБайт
	0 = Нет противоречия адресов 1 = Для адресов > 1536 байт, из текущего адреса вычитается 1024, и открывается доступ к новому адресу.
Биты 4,5	DP-State1..0
	Машинное состояние DP-State
	00 = Состояние 'Wait_Prm' 01 = Состояние 'Wait_Cfg' 10 = Состояние 'DATA_EX' 11 = Состояние не допустимо
Биты 6,7	WD-State1..0
	Машинное состояние Watchdog-State
	00 = Состояние 'Baud_Search' 01 = Состояние 'Baud_Control' 10 = Состояние 'DP_Control' 11 = Состояние не допустимо
Биты 8,9 10,11	Baud rate 3..0:
	Определение скоростей передачи SPC3
	0000 = 12 Мбод 0001 = 6 Мбод 0010 = 3 Мбод 0011 = 1.5 Мбод 0100 = 500 кбод 0101 = 187.5 кбод 0110 = 93.75 кбод 0111 = 45.45 кбод 1000 = 19.2 кбод 1001 = 9.6 кбод Rest = Не допустимо
Биты 12 13,14, 15	SPC3-Release 3..0:
	Версия SPC3
	0000 = Версия 0 Rest = Не допустимо

Рисунок 5.3: Регистр состояния. Биты 15 .. 0.(только для чтения)

5.3 Контроллер прерываний

Процессор информируется об указанных сообщениях и возникновении различных ошибок через контроллер прерываний. В контроллере прерываний сохраняется до 16 событий. События выводятся на выход прерываний. Контроллер не содержит уровень приоритета и не обеспечивает вектор прерываний (не совместимо с 8259A!).

Контроллер содержит регистр запроса прерываний (Interrupt Request Register – IRR), регистр маски прерываний (Interrupt Mask Register – IMR), регистр прерываний (Interrupt Register – IR) и регистр подтверждения прерываний (Interrupt Acknowledge Register – IAR).



Каждое событие сохраняется в IRR. Отдельные события могут быть запрещены через IMR. Вход в IRR независим от масок прерываний. Сигналы событий, не маскированных в IMR, генерируют X/INT прерывание через общую сеть. Пользователь может задать каждое событие в IRR для отладки программы.

Каждое прерывание, обработанное процессором, должно быть удалено через IAR (за исключением New_Prm_Data, New_DDB_Prm_Data, и New_Cfg_Data). Логическая '1' должна быть записана в соответствующую позицию бита. Если в IRR одновременно представлены новое событие и подтверждение от предыдущего события, событие сохраняется. Если впоследствии процессор включает маску, то должно обеспечиваться, чтобы ни один из прежних входов не присутствовал в IRR. С целью безопасности, разряд IRR должен быть удален перед включением маски.

До выхода из подпрограммы прерывания, процессор должен установить "сигнал конца прерывания (E01) = 1" в регистре режима. Прерывание переключается на неактивное с изменением фронта. Если должно быть сохранено другое событие, выход прерывания не активируется, пока после прерывания не пройдет 1 мкс или 1-2 мс. Это время неактивности прерывания может быть задано через 'EOI_Timebase.' Это позволяет снова войти в подпрограмму прерывания, когда используется вход прерывания, запускаемый фронтом сигнала.

Полярность выхода прерывания параметризуется через бит режима INT_Pol. После рестарта аппаратной части устанавливается низкий уровень выхода.

Регистр управления адресом	Позиция бита								Обозначение
	7	6	5	4	3	2	1	0	
00H (Intel)	Res	Res	Res	User_Timer_Clock	WD_DP_Mode_Timeout	Baud_rate_Detect	Go/Leave Data_EX	MAC_Reset	Int-Req-Reg 7..0

Регистр управления адресом	Позиция бита								Обозначение
	15	14	13	12	11	10	9	8	
01H (Intel)	Res	Res	DX_OUT	Diag_Puffer_Changed	New_Prm_Data	New_Cfg_Data	New_SSA_Data	New_GC Com mand	Int-Req-Reg 7 15..8

Бит 0	MAC_Reset После обработки текущего запроса SPC3 переходит в состояние <i>offline</i> (через установку 'Go_Offline bit' или через нарушение прав доступа к RAM).
Бит 1	Go/Leave_DATA_EX DP_SM входит или выходит из состояния 'DATA_EX'.
Бит 2	Baudrate_Detect SPC3 выходит из состояния 'Baud_Search state' и определяет скорость передачи.
Бит 3	WD_DP_Control_Timeout Watchdog-таймер отключается в состоянии 'DP_Control' WD.
Бит 4	User_Timer_Clock Время, необходимое для User_Timer_Clocks, закончилось (1/10 мс).
Бит 5	Res Для дополнительных функций
Бит 6	Res Для дополнительных функций
Бит 7	Res Для дополнительных функций
Бит 8	New_GC_Command SPC3 принимает телеграмму 'Global_Control telegram' с измененным байтом 'GC_Command-Byte' и этот байт сохраняется в ячейке памяти 'R_GC_Command'.
Бит 9	New_SSA_Data SPC3 принимает телеграмму 'Set_Slave_Address telegram' и делает доступными данные SSA буфера.
Бит 10	New_Cfg_Data SPC3 принимает телеграмму 'Check_Cfg telegram' и делает доступными данные Cfg буфера.
Бит 11	New_Prm_Data SPC3 принимает телеграмму 'Set_Param telegram' и делает доступными данные Prm буфера.
Бит 12	Diag_Puffer_Changed Благодаря запросу, сделанному 'New_Diag_Cmd,' SPC3 обменивает данные диагностических буферов, а старый буфер делает снова доступным для пользователя.
Бит 13	DX_OUT SPC3 принимает телеграмму 'Write_Read_Data telegram' и делает новые выходные данные доступными в N буфере. Для 'Power_On' или для 'Leave_Master' SPC3 удаляет N буфер и генерирует это прерывание.
Бит 14	Res Для дополнительных функций
Бит 15	Res Для дополнительных функций

Рисунок 5.4: Регистр запроса прерываний, IRR бит 15..0 (чтение и запись)

Позиции разрядов других регистров контроллера прерываний назначаются аналогично IRR.

Адрес	Регистр		Исходное состояние	Назначение	
02H / 03H	Регистр прерываний (IR)	Только для чтения	Все биты удалены		
04H / 05H	Регистр маски прерываний (IMR)	Перезаписываемый, может быть изменен во время работы	Все биты заданы	Бит = 1 Бит = 0	Маска установлена, а прерывание отключено. Маска удалена, а прерывание включено.
02H / 03H	Регистр подтверждения прерываний (IAR)	Перезаписываемый, может быть изменен во время работы	Все биты удалены	Бит = 1 Бит = 0	IRR бит удален. IRR остается неизменным.

Рисунок 5.5: Регистры дополнительных прерываний

Входы 'New_Prm_Data', 'New_Cfg_Data' не могут быть удалены через регистр подтверждения прерываний. Соответствующее машинное состояние удаляет эти входы через квитирование пользователем (например, 'User_Prm_Data_Okay' и т.д.).

5.4 Watchdog-таймер

5.4.1 Автоматическое определение скорости передачи

SPC3 способен автоматически определять скорость передачи. Состояние „определение скорости“ возникает после каждого сброса (RESET), а также после окончания работы watchdog-таймера (WD) в 'Baud_Control_state.'

Как правило, SPC3 начинает определение скорости с наибольшего значения скорости передачи. Если телеграммы SD1, SD2 или SD3 были приняты не полностью или с ошибками в контрольном интервале времени, поиск продолжается со следующего более низкого значения скорости передачи.

После определения скорости передачи SPC3 переходит в состояние "Baud_Control" и контролирует скорость передачи. Время мониторинга может быть параметризовано (WD_Baud_Control_Val). Watchdog-таймер работает с частотой 100 Гц (10 мс). Watchdog-таймер сбрасывается для каждой телеграммы, принятой без ошибок, по адресу станции. Если таймер завершил отсчет, SPC3 снова переходит в состояние определения скорости передачи

5.4.2 Контроль скорости передачи

Определенная скорость передачи **постоянно** контролируется в 'Baud_Control.' Watchdog-таймер сбрасывается для каждой телеграммы к данному адресу станции, принятой без ошибок. Время мониторинга – результат умножения 'WD_Baud_Control_Val' (пользователь параметрирует) на масштаб времени (10 мс). Если время мониторинга закончилось, WD_SM снова переходит к 'Baud_Search'. Если пользователь реализует DP протокол (DP_Mode = 1, смотрите Регистр режима 0) с SPC3. Watchdog-таймер используется для состояния "DP_Control" state, после приема телеграммы 'Set_Param telegram' с включением времени мониторинга ответа 'WD_On = 1.' Watchdog-таймер остается в состоянии контроля скорости передачи, если основной мониторинг выключен 'WD_On = 0'. Машинное состояние PROFIBUS DP также не сбрасывается, если таймер закончил отсчет. Так что, слайв остается в состоянии обмена данными DATA_EXchange.

5.4.3 Контроль времени отклика

Состояние 'DP_Control' активирует время мониторинга DP-мастера (Master_Add). Задание времени мониторинга – результат умножения обоих значений watchdog-коэффициентов и умножением результата на текущий масштаб времени (1 мс или 10 мс):

$T_{WD} = (1 \text{ мс или } 10 \text{ мс}) * WD_Fact_1 * WD_Fact_2$ (смотрите байт 7 телеграммы задания параметра.)

Пользователь может загрузить два значения watchdog-таймеров (WD_Fact_1 и WD_Fact_2) и масштаб времени, представляющий собой измерение для контроля времени, через 'Set_Param telegram' с любым значением между 1 и 255.

ИСКЛЮЧЕНИЕ: Установка WD_Fact_1 = WD_Fact_2=1 не допустима. Схема не реагирует на эту установку.

Время мониторинга между 2 мс и 650 с – независимо от скорости передачи – может быть реализовано через допустимые значения watchdog-таймеров.

Если время мониторинга закончилось, SPC3 снова переходит в состояние 'Baud_Control,' и генерирует прерывание 'WD_DP_Control_Timeout-Interrupt'. Кроме того, машинное состояние DP_State сбрасывается, генерируя сброс состояний управления буферами данных.

Если другой мастер имеет доступ к SPC3, то SPC3 переходит в состояние 'Baud_Control' (WD_On = 0), или 'DP_Control' (WD_On = 1), в зависимости от включенного мониторинга времени ответа (WD_On = 0).

6 PROFIBUS-DP Интерфейс

6.1 Структура DP_Buffer

DP-режим включается в SPC3 с помощью 'DP_Mode = 1' (смотрите Регистр режима 0). В этом процессе следующие SAP(Точки доступа к службам) зарезервированы для DP-режима:

·	Заводская установка SAP:	Обмен данными (Запись и чтение данных)
·	SAP53:	Резерв
·	SAP55:	Изменение адреса станции (Set_Slave_Address)
·	SAP56:	Чтение входов (Read_Inputs)
·	SAP57:	Чтение выходов (Read_Outputs)
·	SAP58:	Команды управления DP-слэйвом (Global_Control)
·	SAP59:	Чтение конфигурационных данных data (Get_Config)
·	SAP60:	Чтение диагностической информации (Slave_Diagnosis)
·	SAP61:	Чтение данных установки параметров (Set_Param)
·	SAP62:	Проверка конфигурационных данных (Check_Config)

Протокол DP-слэйва полностью интегрирован в SPC3 и обрабатывается независимо. Пользователь должен соответствующим образом параметризовать ASIC, обработку и подтверждение переданных сообщений. За исключением заводских установок SAP, SAP56, SAP57 и SAP58 активированы. Остальные точки доступа к службам не включаются, пока DP_Slave_Machine (DP_SM) не переходит в состояние 'DATA_EX'. Пользователь может отключить SAP55. Для этого соответствующая точка буфера R_SSA_Puf_Ptr должна быть установлена в '00H'. DDB утилита может быть отключена с помощью ранее описанной инициализации ячеек RAM-памяти.

Структура DP_SAP буфера показана на рисунке Figure 6.1. Пользователь конфигурирует все буферы (длину и начало буфера) в состоянии 'offline.' Во время работы конфигурация буфера не должна изменяться, за исключением длины буфера Dout/Din.

Пользователь еще может настраивать эти буферы в состоянии 'Wait_Cfg' после приема конфигурационной телеграммы (Check_Config). **Только соответствующая конфигурация может быть принята в состоянии 'DATA_EX'.**

Структура буфера разделяется на буфер данных, диагностический буфер и буфер управления.

Как входные и так и выходные данные имеют по три буфера одинаковой длины. Эти буферы работают как буферы обмена. Один буфер 'D' предназначен для передачи данных, другой буфер 'U' предназначен для пользователя. Третий буфер – для следующего (Next) 'N' состояния или свободного (Free) 'F' состояния, вследствие чего, одно из двух состояний всегда неактивно.

Два диагностических буфера, имеющих изменяемые размеры, используются для диагностики. Один диагностический буфер 'D' всегда назначается SPC3 для передачи. Другой диагностический буфер принадлежит пользователю для подготовки новых диагностических данных, 'U.'

SPC3 сначала читает различные параметры установочных телеграмм (Set_Slave_Address и Set_Param) и конфигурационной телеграммы (Check_Config) во вспомогательные буферы Aux-Puffer1 или Aux-Puffer 2.....

D-N изменяется SPC 3

N- U изменяется пользователем

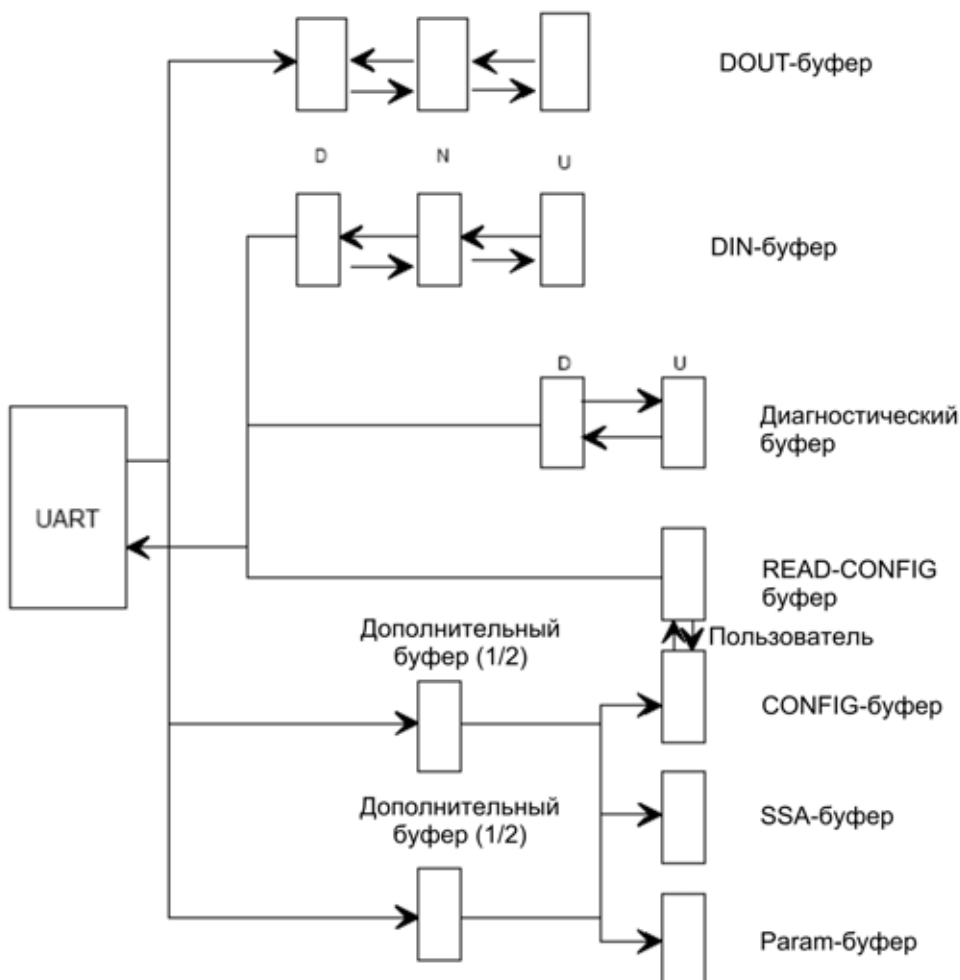


Рисунок 6.1: Структура DP SAP буфера

Обмен данными с соответствующим целевым буфером (SSA-буфер, Prm-буфер и Cfg-буфер). Каждый из буферов обмена должен иметь одинаковую длину. Пользователь определяет, какой из дополнительных буферов (Aux_buffer) используется для вышеназванных телеграмм в ячейке параметра 'R_Aux_Puf_Sel'. Дополнительный буфер 1 (Aux-buffer1) должен быть всегда доступным. Дополнительный буфер 2 (Aux-buffer 2) – в зависимости от условий. Если профили данных этих DP телеграмм сильно отличаются, например, количество данных в телеграмме Set_Param значительно больше, чем в других телеграммах, то рекомендуется сделать дополнительный буфер 2 (Aux-Buffer 2) доступным для этой телеграммы (Aux_Sel_Set_Param = 1). Другие телеграммы читаются через вспомогательный буфер 1 (Aux-Buffer 1) (Aux_Sel_...=0). Если буфер слишком мал для данных, то SPC3 выдает сообщение "нет ресурсов" ("no resources")!

Регистр адреса RAM	Позиция бита								Обозначение
	7	6	5	4	3	2		0	
2AH	0	0	0	0	0	Set_ Slave_ Adr	Check_ Cfg	Set_ Prm	R_Aux_Puf_Sel
						X1	X1	X1	См. ниже для кодирования.

X1	Кодирование
0	Aux_Buffer1 (Дополнительный буфер 1)
1	Aux_Buffer2 (Дополнительный буфер 2)

Рисунок 6.2: Организация дополнительного буфера

Пользователь делает конфигурационные данные (Get_Config) доступными для чтения в Read_Cfg буфере. Read_Cfg должен иметь такой же размер, что и Cfg-буфер.

Телеграмма Read_Input_Data управляется из Din-буфера в режиме 'D state', а телеграмма Read_Output_Data управляется из Dout-буфера в режиме 'U state.'

Все указатели буфера имеют 8-битную адресацию сегмента, т.к. SPC3 имеет только 8-битные внутренние регистры адреса. Для доступа к RAM, SPC3 создает 8-битный относительный адрес к адресу сегмента, сдвинутый на 3 бита (результат: 11-битный физический адрес). Что касается стартовых адресов буфера, они получаются в результате 8-байтного разбиения согласно этой спецификации.

6.2 Описание DP служб

6.2.1 Set_Slave_Address (SAP55)

6.2.1.1 Последовательность для утилиты Set_Slave_Address

Пользователь может отключить эту утилиту установкой указателя буфера 'R_SSA_Puf_Ptr = 00H'. Затем должен быть определен адрес слэйма, например, чтением и записью в R_TS_Adr. RAM регистра.

Пользователь должен сделать сохраняемую память доступной (например, EEPROM) для поддержки этой утилиты.

Должно быть возможным сохранение 'адреса станции и параметра 'Real_No_Add_Change' ('True' = FFH) во внешней памяти EEPROM. После каждого рестарта, вызванного сбоем питания, пользователь должен снова делать эти значения доступными для SPC3 в R_TS_Adr и R_Real_No_Add_Change RAM регистра.

Если SAP55 включен, и телеграмма Set_Slave_Address принята без ошибок, SPC3 вводит все сетевые данные в дополнительный буфер Aux-Puffer1/2, Aux buffer1/2 обменивается данными с SSA буфером, сохраняет длину введенных данных в 'R_Len_SSA_Data', генерирует прерывание 'New_SSA_Data' и внутренне сохраняет новый 'адрес станции' и новый параметр 'Real_No_Add_Change'. Пользователю не нужно снова передавать этот измененный параметр в SPC3. После прочтения буфера, пользователь генерирует 'SSA_Puffer_Free_Cmd' (операция чтения с адреса 14H). Это делает SPC3 снова готовым к приему дополнительной телеграммы Set_Slave_Address (например, от другого мастера).

SPC3 реагирует независимо от наличия ошибок.

Регистр управления адресом	Позиция бита								Обозначение
	7	6	5	4	3	2	1	0	
14H	0	0	0	0	0	0	0	0	SSA_Puffer_Free_Cmd
	Не имеет значения								

Рисунок 6.3: Кодирование SSA_Buffer_Free_Cmd

6.2.1.2 Структура телеграммы Set_Slave_Address

Сетевые данные, сохраненные в SSA буфере:

Байт	Позиция бита								Обозначение
	7	6	5	4	3	2	1	0	
0									New_Slave_Address
1									Ident_Number_High
2									Ident_Number_Low
3									No_Add_Chg
4-243									Rem_Slave_Data (дополнительные данные, определяемые приложением)

Рисунок 6.4: Формат данных телеграммы Set_Slave_Address

6.2.2 Set_Param (SAP61)

6.2.2.1 Структура данных параметра

SPC3 оценивает первые семь байт данных (без пользовательских prm-данных) или первые восемь байт данных (с пользовательскими prm-данными). Первые семь байт определены согласно стандарту. Восьмой байт используется для специфических характеристик SPC3. Дополнительные байты доступны приложению.

Байт	Позиция бита								Обозначение
	7	6	5	4	3	2	1	0	
0	Lock Req	Unlo. Req	Sync Req	Free Req	WD on	Res	Res	Res	Состояние станции
1									WD_Fact_1
2									WD_Fact_2
3									MinTSDR
4									Ident_Number_High
5									Ident_Number_Low
6									Group_Ident
7	0	0	0	0	0	WD_Base	Dis Stop	Dis Start	Spec_User_Prm_Byte
8-243									User_Prm_Data

Байт 7 Spec User Prm Byte			
Бит	Имя	Значение	Состояние по умолчанию
0	Dis_Startbit	Этим битом выключается стартовый бит мониторинга в приемнике.	Dis_Startbit= 1 , Т.е., стартовый бит мониторинга выключен.
1	Dis_Stopbit	Стоповый бит мониторинга в приемнике.	Dis_Stopbit= 0, Т.е., стоповый бит мониторинга не выключен.
2	WD_Base	Этот бит определяет масштаб времени, используемый для контроля времени watchdog. WD_Base = 0: масштаб 10 мс WD_Base = 1: масштаб 1 мс	WD_Base= 0, Т.е., масштаб времени – 10 мс
3-7	res	Установленное значение 0	0

Рисунок 6.5: Формат данных для Set_Param_Telegram

6.2.2.2 Последовательность обработки данных параметров

В случае положительного подтверждения более чем семи байт данных, SPC3 выполняет следующие действия:

SPC3 обменивает Aux-Puffer1/2 (вызывает все байты данных входов) для Prm-буфера, сохраняет длину входных данных в 'R_Len_Prm_Data' и вызывает 'New_Prm_Data Interrupt'. Затем пользователь должен проверить 'User_Prm_Data', а также ответить с помощью 'User_Prm_Data_Okay_Cmd' или с помощью 'User_Prm_Data_Not_Okay_Cmd.' Полная телеграмма введена в буфер, таким образом, что данные параметра, определяемые приложением, сохраняются только начиная с 8 байта данных.

Ответ пользователя (User_Prm_Data_Okay_Cmd или User_Prm_Data_Not_Okay_Cmd) снова возвращает прерывание 'New_Prm_Data'. Пользователь не может подтвердить прерывание 'New_Prm_Data' в IAR регистре.

Соответствующие диагностические биты устанавливаются сообщением 'User_Prm_Data_Not_Okay_Cmd' и передают управление 'Wait_Prm.'

'User_Prm_Data_Okay' и 'User_Prm_Data_Not_Okay' подтверждают доступ на чтения определенных регистров с соответствующими сигналами:

- 'User_Prm_Finished': Нед дополнительных телеграмм параметрирования.
- 'Prm_Conflict': Телеграмма дополнительных параметров представлена, обработка снова
- 'Not_Allowed', Доступ не разрешен в текущем состоянии шины

Регистр управления адресом	Позиция бита								Обозначение
	7	6	5	4	3	2	1	0	
0EH	0	0	0	0	0	0	↓	↓	User_Prm_Data_Okay
							0	0	User_Prm_Finished
							0	1	PRM_Conflict
							1	1	Not_Allowed

Регистр управления адресом	Позиция бита								Обозначение
	7	6	5	4	3	2	1	0	
0FH	0	0	0	0	0	0	↓	↓	User_Prm_Data_Not_Okay
							0	0	User_Prm_Finished
							0	1	PRM_Conflict
							1	1	Not_Allowed

Рисунок 6.6: Кодирование User_Prm_Data_Not/Okay_Cmd

Если дополнительная телеграмма Set-Param, будет получена, в то же время сигнал 'Prm_Conflict' возвращается для подтверждения первой телеграммы Set_Param, положительным или отрицательным. Пользователь должен повторить проверку, т.к. SPC3 сделал доступным новый Prm-буфер.

6.2.3 Check_Config (SAP62)

Пользователь оценивает конфигурационные данные. Затем SPC3 принимает подтвержденную телеграмму Check_Config, SPC3 обменивает Aux-Puffer1/2 (здесь введены все байты данных) для Cfg-буфера, сохраняет длину входных данных в 'R_Len_Cfg-Data,' и генерирует прерывание 'New_Cfg_Data'.

Затем пользователь должен проверить 'User_Config_Data' и ответить с помощью 'User_Cfg_Data_Okay_Cmd' или 'User_Cfg_Data_Not_Okay_Cmd' (подтверждение с Cfg_SM). Сетевые данные вводятся в буфер в соответствии с требованиями стандарта.

Ответ пользователя (User_Cfg_Data_Okay_Cmd или User_Cfg_Data_Not_Okay_Cmd) снова возвращает прерывание 'New_Cfg_Data' и не может быть подтверждено в IAR.

Если сообщения о некорректной конфигурации, изменяются различные диагностические биты и выполняется переход к 'Wait_Prm.'

При правильной конфигурации, переход к 'DATA_EX' выполняется сразу, если Din_buffer не представлен (R_Len_Din_Puf = 00H) и переключатель счетчиков для телеграмм установки параметра и конфигурационных телеграмм установлен в 0. Иначе перехода не происходит до первого 'New_DIN_Puffer_Cmd', с которым пользователь делает доступным первый 'N buffer'. При вводе в 'DATA_EX,' SPC3 также генерирует прерывание 'Go/Leave_Data_Exchange'.

Если конфигурационные данные, принимаемые из Cfg-буфера, являются результатом изменения Read-Cfg-буфера (изменения содержат данные для телеграммы Get_Config), пользователь должен сделать новые Read_Cfg данные доступными в буфере Read-Cfg перед подтверждением 'User_Cfg_Data_Okay_Cmd'. После приема подтверждения, SPC3 обменивает Cfg буфер с Read-Cfg буфером, если 'EN_Change_Cfg_buffer = 1' устанавливается в регистре режима 1.

При подтверждении пользователь принимает информацию о том, есть ли конфликт или нет. Если дополнительная телеграмма Check_Config, предположительно, тем временем была получена, пользователь принимает сигнал 'Cfg_Conflict' во время подтверждения первой телеграммы Check_Config, положительным или отрицательным. Затем пользователь должен повторить проверку, т.к. SPC3 делает доступным новый Cfg-буфер.

'User_Cfg_Data_Okay_Cmd' и 'User_Cfg_Data_Not_Okay_Cmd' подтверждают доступ на чтение определенных ячеек памяти (смотрите раздел 2.2.1) с соответствующими сигналами 'Not_Allowed', 'User_Cfg_Finished,' или 'Cfg_Conflict' (смотрите рисунок 3.7). **Если 'New_Prm_Data' и 'New_Cfg_Data' присутствуют одновременно с подачей питания, пользователь должен сохранять последовательность подтверждений Set_Param и после этого Check_Config.**

Регистр управления адресом	Позиция бита								Обозначение
	7	6	5	4	3	2	1	0	
10H	0	0	0	0	0	0	↓	↓	User_Cfg_Data_Okay
							0	0	User_Cfg_Finished
							0	1	Cfg_Conflict
							1	1	Not Allowed

Регистр управления адресом	Позиция бита								Обозначение
	7	6	5	4	3	2	1	0	
11H	0	0	0	0	0	0	↓	↓	User_Cfg_Data_Not_Okay
							0	0	User_Cfg_Finished
							0	1	Cfg_Conflict
							1	1	Not Allowed

Рисунок 6.7: Кодирование User_Cfg_Data_Not/Okay_Cmd

6.2.4 Slave_Diagnosis (SAP60)

6.2.4.1 Диагностика последовательности операций

Для диагностики используются два буфера. Размер буферов может изменяться. SPC3 всегда назначает один диагностический буфер тому, кто посылает диагностический вызов. Пользователь может параллельно обрабатывать новые диагностические данные в другом буфере. Если новые диагностические данные необходимо передать, пользователь использует 'New_Diag_Cmd' для создания запроса по обмену диагностическими буферами. Пользователь принимает подтверждение об обмене буферами с помощью прерывания 'Diag_Puffer_Changed'.

Когда буферы обменены, устанавливается внутренний маркер 'Diag_Flag'. При активированном 'Diag_Flag,' SPC3 отвечает во время следующего Write_Read_Data с высоким приоритетом ответных данных, которые сигнализируют соответствующему мастеру, что в слэйве появились новые диагностические данные. Мастер делает выборку новых диагностических данных с помощью телеграммы Slave_Diagnosis. При этом 'Diag_Flag' сбрасывается снова. Если пользовательские сигналы 'Diag.Stat_Diag = 1' (статическая диагностика, смотрите структуру диагностического буфера), то 'Diag_Flag' все еще остается активированным после того, как соответствующий мастер сделал выборку диагностических данных. Пользователь может опросить 'Diag_Flag' в статусном регистре, чтобы узнать, сделал ли мастер выборку диагностических данных прежде, чем старые диагностические данные были обменены на новые.

Кодированное состояние для диагностических буферов сохраняется в параметре процессора 'Diag_bufferSM'. Пользователь может прочесть эту ячейку с возможным кодированием для обоих буферов: 'User,' 'SPC3,' или 'SPC3_Send_Mode.'

Регистр управления адресом	Позиция бита								Обозначение
	7	6	5	4	3	2		0	
0CH	0	0	0	0	D_Puf2	D_Puf1			Diag_Puffer_SM
					X1	X2	X1	X2	Ниже смотри кодирование.

X1	X2	Кодирование
0	0	Каждый для D_Buf2 или D_Buf1
0	1	Пользователь
1	0	SPC3
1	1	SPC3_Send_Mode

Рисунок 6.8: Назначение Diag_Buffer

'New_Diag_Cmd' так же доступен для чтения в определенном параметре процессора с помощью сигнала, которым диагностический буфер перезаписывается пользователем после обмена, или оба буфера в настоящее время назначены SPC3 ('no Puffer', 'Diag_Puf1', 'Diag_Puf2').

Регистр управления адресом	Позиция бита								Обозначение	
	7	6	5	4	3	2	1	0		
ODH	0	0	0	0	0	0	0	↓	↓	New_Diag_Cmd
								0	0	no Puffer
								0	1	Diag_Puf1
								1	0	Diag_Puf2

Figure 6.9: Кодирование Diag_Puffer_SM, New_Diag_Cmd

6.2.4.2 Структура диагностического буфера:

Пользователь передает диагностический буфер, показанный на нижнем рисунке, в SPC3. Первые 6 байт – пустые ячейки, кроме трех младших значащих позиций битов в первом байте. Пользователь сохраняет диагностические биты, 'Diag.Ext_Diag', 'Diag.Stat_Diag,' и 'Diag.Ext.Diag_Overflow' в этих трех позициях битов. Остальные биты могут быть назначены в соответствии с заданием. При передаче, SPC3 предварительно обрабатывает первые 6 байт в соответствии со стандартом.

Байт	Позиция бита								Обозначение	
	7	6	5	4	3	2	1	0		
0						Ext_Diag_Overflow	Stat_Diag	Ext_Diag		Пустая ячейка
1										Пустая ячейка
2										Пустая ячейка
3										Пустая ячейка
4										Пустая ячейка
5										Пустая ячейка
6-н	Должен ввести пользователь									Ext_Diag_Data (n = max 243)

Рисунок 6.10: Структура диагностического буфера для передачи в SPC3

'Ext-Diag_Data' пользователь должен ввести в буферы, следующие после внутренних диагностических данных SPC3. Здесь возможны три различных формата: зависимый от устройства (device-related), идентификаторный (ID-related), зависимый от порта (port-related). В дополнение к 'Ext_Diag_Data,' размер буфера также включает диагностические байты SPC3 (R_Len_Diag_Puf1, R_Len_Diag_Puf2).

6.2.5 Write_Read_Data / Data_Exchange (Default_SAP)

6.2.5.1 Запись выходных данных

SPC3 читает принятые выходные данные в D-буфере. После приема без ошибок SPC3 сдвигает недавно заполненный буфер от 'D' до 'N'. Кроме того, генерируется прерывание 'DX_Out_Interrupt'. Пользователь выбирает текущие выходные данные из 'N.' Буфер изменяется с 'N' на 'U' с помощью команды 'Next_Dout_Buffer_Cmd', для того, чтобы текущие данные приложения можно передать назад для чтения выходов мастерами Read_Outputs.

Если вычисленное пользователями время цикла короче шинного времени цикла, пользователь не может найти новых буферов с помощью следующей команды 'Next_Dout_Buffer_Cmd' в 'N'. Следовательно, обмен буферов пренебрегают. На скорости передачи 12 Мбод наиболее вероятно, что вычисленное пользователем время цикла больше шинного времени цикла. Это делает новые выходные данные доступными в 'N' несколько раньше, чем пользователь сделает выборку следующего буфера. Это гарантирует, что пользователь получает последние принятые данные.

Для 'Power_On', 'Leave_Master' и телеграммы Global_Control 'Clear' SPC3 стирает D-буфер, а затем сдвигает его на 'N'. Это также происходит во время подачи питания (ввод в 'Wait_Prm'). Если пользователь делает выборку из этого буфера, он получает на дисплее 'U_buffer cleared' во время 'Next_Dout_Buffer_Cmd'. Если пользователь увеличивает буфер выходных данных после приема телеграммы Check_Config, он должен стереть их непосредственно в буфере N (возможно только на этапе подачи питания в состоянии 'Wait_Cfg').

Если 'Diag.Sync_Mode = 1', D-буфер заполнен, но не передан с помощью телеграммы Write_Read_Data, и будет передан при следующем Sync или Unsync.

Пользователь может читать состояние управления буферами с помощью следующих кодов для четырех состояний: 'Nil', 'Dout_Puf_Ptr1-3'. Указатель для текущих данных – в "N" состоянии.

Регистр управления адресом	Позиция бита								Обозначение
	7	6	5	4	3	2		0	
0AH	F		U		N		D		Dout_Puffer_SM
	X1	X2	X1	X2	X1	X2	X1	X2	Кодирование смотрите ниже.

X1	X2	Кодирование
0	0	Nil
0	1	Dout_Puf_Ptr1
1	0	Dout_Puf_Ptr2
1	1	Dout_Puf_Ptr3

Рисунок 6.11: Организация Dout_Buffer

Когда читается 'Next_Dout_Buffer_Cmd', пользователь получает информацию, которая принадлежит буферу пользователя (U-буфер) после обновления.

Регистр управления адресом	Позиция бита								Обозначение
	7	6	5	4	3	2	1	0	
0BH	0	0	0	0	U-Buffer Cleared	State_U-Buffer	Ind_U-Buffer		Next_Dout_Buf_Cmd
							0	1	Dout_Buf_Ptr1
							1	0	Dout_Buf_Ptr2
							1	1	Dout_Buf_Ptr3
							0		Не новый U буфер
							1		Новый U буфер
							0		U буфер содержит данные
							1		U буфер удален

Рисунок 6.12: Next_Dout_Puffer_Cmd

Пользователь должен удалить U буфер во время инициализации, для того, чтобы определенные (удаленные) данные могли быть переданы для телеграммы Read_Output перед первыми циклическими данными.

6.2.5.2 Чтение входных данных

SPC3 передает входные данные из D буфера. До передачи, SPC3 делает выборку Din буфера из 'N' в 'D.' Если новый буфер представлен в 'N,' изменений не происходит.

Пользователь делает новые данные доступными в 'U'. С помощью 'New_Din_buffer_Cmd,' буфер изменяется с 'U' с 'N'. Если подготовленное пользователем время цикла короче шинного времени цикла, передаются не все новые данные, а только текущие. На скорости передачи 12 Мбод наиболее вероятно, что подготовленное пользователем время цикла больше шинного времени цикла. Затем SPC3 некоторое время успешно передает те же самые данные.

Во время запуска SPC3 сначала переходит к 'DATA_EX' после подтверждения всех параметризационных и конфигурационных телеграмм, а пользователь затем делает первый действительный Din-буфер доступным в 'N' с помощью 'New_Din_Buffer_Cmd.'

Если 'Diag.Freeze_Mode = 1', то до передачи нет никакого изменения буфера.

Пользователь может прочесть статус ячейки состояния машины с помощью следующего кодирования для четырех состояний: 'Nil', 'Dout_Puf_Ptr1-3.' (смотрите рисунок 3.13). Указатель для текущих данных – в "N" состоянии.

Регистр управления адресом	Позиция бита								Обозначение
	7	6	5	4	3	2		0	
08H	F		U		N		D		Din_Buffer_SM
	X1	X2	X1	X2	X1	X2	X1	X2	Кодирование смотрите ниже.

X1	X2	Кодирование
0	0	Ноль
0	1	Din_Buf_Ptr1
1	0	Din_Buf_Ptr2
1	1	Din_Buf_Ptr3

Рисунок 6.13: Организация Din_Buffer

При чтении 'New_Din_Buffer_Cmd' пользователь получает информацию: какой буфер (U-буфер), доступен пользователю после обновления (Din_Buf_Ptr 1-3).

Регистр управления адресом	Позиция бита								Обозначение
	7	6	5	4	3	2	1	0	
09H	0	0	0	0	0	0	↓	↓	New_Din_Buf_Cmd
							0	1	Din_Buf_Ptr1
							1	0	Din_Buf_Ptr2
							1	1	Din_Buf_Ptr3

Рисунок 6.14: Next_Din_Buffer_Cmd

6.2.5.3 User_Watchdog_Timer

После подачи напряжения питания (состояние 'DATA_EX') возможно, что SPC3 постоянно отвечает на телеграммы Write_Read_Data без доступа пользователя, делающего выборку Din-буферов или при недоступных Dout-буферах. Если процессор пользователя 'повесит трубку', мастер не получит эту информацию. Поэтому 'User_Watchdog_Timer' реализуется в SPC3.

Этот User_Wd_Timer – внутренняя ячейка 16-битной RAM-памяти, которая начинается со значения 'R_User_Wd_Value15..0', заданного параметрами пользователя, и уменьшается с каждой принятой телеграммой Write_Read_Data из SPC3. Когда таймер достигнет значения '0000hex', SPC3 переходит в состояние 'Wait_Prm', а DP_SM выполняет 'Leave_Master.' Пользователь должен циклически устанавливать стартовое значение этого таймера. Следовательно, 'Res_User_Wd = 1' должен быть установлен в регистре режима 1. После получения следующей телеграммы Write_Read_Data, SPC3 снова загружает User_Wd_Timer с параметризованным значением 'R_User_Wd_Value15..0' и устанавливает 'Res_User_Wd = 0' (Регистр режима 1). При включении питания пользователь также должен установить 'Res_User_Wd = 1' так, чтобы User_Wd_Timer был задан в его параметризационном значении.

6.2.6 Global_Control (SAP58)

SPC3 самостоятельно обрабатывает телеграммы Global_Control описанным ранее способом. Кроме того, эта информация доступна для пользователя.

Первый байт команды Global_Control сохранен в ячейке R_GC_Command RAM. Второй байт телеграммы (Group_Select) обрабатывается внутри.

Ячейка адреса RAM	Позиция бита								Обозначение
	7	6	5	4	3	2	1	0	
3CH	Res	Res	Sync	Un sync	Freeze	Un freeze	Clear Data	Res	R_GC_Command

Бит	Обозначение	Значение
0	Резерв	
1	Clear_Data	С помощью этой команды выходные данные удаляются из 'D' и изменяются в 'N.'
2	Unfreeze	С помощью „Unfreeze,“ "замораживание" входных данных отменено.
3	Freeze	Входные данные выбираются из 'N' в 'D' и „замораживаются“. Новые входные данные не выбираются, пока мастер не передаст следующую команду 'Freeze'
4	Unsync	Команда „Unsync“ отменяет команду „Sync“.
5	Sync	Выходные данные, переданные с помощью телеграммы WRITE_READ_DATA, передаются из 'D' в 'N.' следующие переданные выходные данные сохраняются в 'D' до прихода следующей команды 'Sync'.
6,7	Reserved	„Reserved“ обозначает, что эти биты зарезервированы для дополнительных функциональных расширений.

Рисунок 6.15: Формат данных телеграммы Global_Control

Если байт Control_Command изменен последней принятой телеграммой Global_Control, SPC3 дополнительно генерирует прерывание 'New_GC_Command'. При инициализации, SPC3 предустанавливает ячейку RAM 'R_GC_Command' в 00H. Пользователь может читать и оценивать эту ячейку.

Для того, чтобы команды Sync и Freeze выполнялись, эти функции должны быть активированы в регистре режима.

6.2.7 Read_Inputs (SAP56)

SPC3 выбирает входные данные, подобно телеграмме Write_Read_Data. Перед передачей 'N' сдвигается в 'D,' если новые входные данные доступны в 'N.' Для 'Diag.Freeze_Mode = 1' этого изменения буфера нет.

6.2.8 Read_Outputs (SAP57)

SPC3 выбирает выходные данные из Dout буфера в 'U'. Пользователь при запуске должен сбросить выходные параметры в '0', для того, чтобы неправильные выходные данные не могли быть переданы. Если здесь буфер копируется из 'N' в 'U' (через Next_Dout_Buffer_Cmd) между первым вызовом и повторным, новые выходные данные передаются во время повторного вызова.

6.2.9 Get_Config (SAP59)

Пользователь делает конфигурационные данные доступными в буфере Read_Cfg. Для изменения конфигурации после телеграммы Check_Config, пользователь записывает измененные данные в Cfg-буфер, устанавливает 'EN_Change_Cfg_buffer = 1' (смотрите регистр режима 1), а SPC3 затем записывает Cfg-буфер в буфер Read_Cfg (смотрите раздел 3.2.3.). Если во время работы конфигурационные данные изменились (например, для модульных DP-систем), пользователь должен вернуться с помощью 'Go Offline' (смотрите регистр режима 1) к 'Wait_Prm' в SPC3.

7 Аппаратный интерфейс

7.1 Интерфейс универсальной процессорной шины

7.1.1 Общее описание

SPC3 имеет параллельный 8-битный интерфейс с 11-битной шиной адреса. SPC3 поддерживает все 8-битные процессоры и микроконтроллеры, основанные на 80C51/52 (80C32) от Intel, семейства HC11 от Motorola, а также 8-/16-битные процессоры или микроконтроллеры семейства 80C166 от Siemens, X86 от Intel, семейств HC16 и HC916 от Motorola. Т.к. форматы данных Intel и Motorola не совместимы, SPC3 автоматически выполняет 'обмен битами' для доступа к следующим 16-битным регистрам (регистр прерываний, статусный регистр и регистр режима 0) и 16-битным ячейкам RAM (R-User_Wd_Value). Это дает возможность процессорам Motorola правильно читать 16-битные значения. Чтение или запись, как правило, происходят в два этапа (8-битная шина данных).

Из-за 11-битной шины адреса SPC3 более не полностью совместим с SPC2 (10-битная шина адреса). Тем не менее, AB (10) выдается на выход XINTCI SPC2, который до сих пор не использовался. Для SPC3, вход AB(10) подключен к встроенному понижающему резистору. Если SPC3 должен подключаться к существующим аппаратным средствам SPC2, пользователь может использовать только 1 кБайт внутренней RAM. Иначе, выходы AB(10) в модулях должны быть перемещены к одной точке.

Модуль шинного интерфейса (BIU) и контроллер Dual Port RAM (DPC), которые управляют доступом к внутренней RAM, соответствуют интерфейсу процессора SPC3.

Кроме того, тактовой частотой встроенного генератора импульсов частота внешнего генератора синхроимпульсов делится на 2 (контакт: DIVIDER = высокий уровень) или на 4 (контакт: DIVIDER = низкий уровень), что делает доступным синхроимпульс на контакте CLKOUT2/4 в качестве системного для того, чтобы более медленный контроллер мог подключаться без дополнительных затрат в недорогом приложении. SPC3 имеет частоту синхроимпульсов 48МГц.

7.1.2 Модуль шинного интерфейса (BIU)

Модуль шинного интерфейса формирует интерфейс для подключения к процессору/микроконтроллеру. Это – синхронный или асинхронный 8-битный интерфейс с 11-битной шиной адреса. Интерфейс конфигурируется через 2 контакта (XINT/MOT, MODE). Семейство подключаемых процессоров (сигналы управления шиной, например, XWR, XRD или R_W и форматы данных) задаются с помощью контакта XINT/MOT. Синхронный (фиксированный) или асинхронный выбор времени шины определяется с помощью контакта MODE.

Различные конфигурации системы Intel показаны на рисунках в Разделе 7.1.3. Внутренний фиксатор адреса и интегрированный декодер должны использоваться в режиме C32. На одном рисунке показана минимальная конфигурация системы с SPC3, посредством чего блок подключается в версии EPROM контроллера. В качестве дополнительного блока для этой конфигурации необходим только генератор импульсов. Если контроллер используется без внутренней программной памяти, снова должна быть сделана выборка адресов для внешней памяти. Схемное решение подключения, показанное в следующей таблице, является применимым для всех процессоров Intel/Siemens, которые используют асинхронную синхронизацию шины и выполняют оценку готового сигнала.

Примечание:

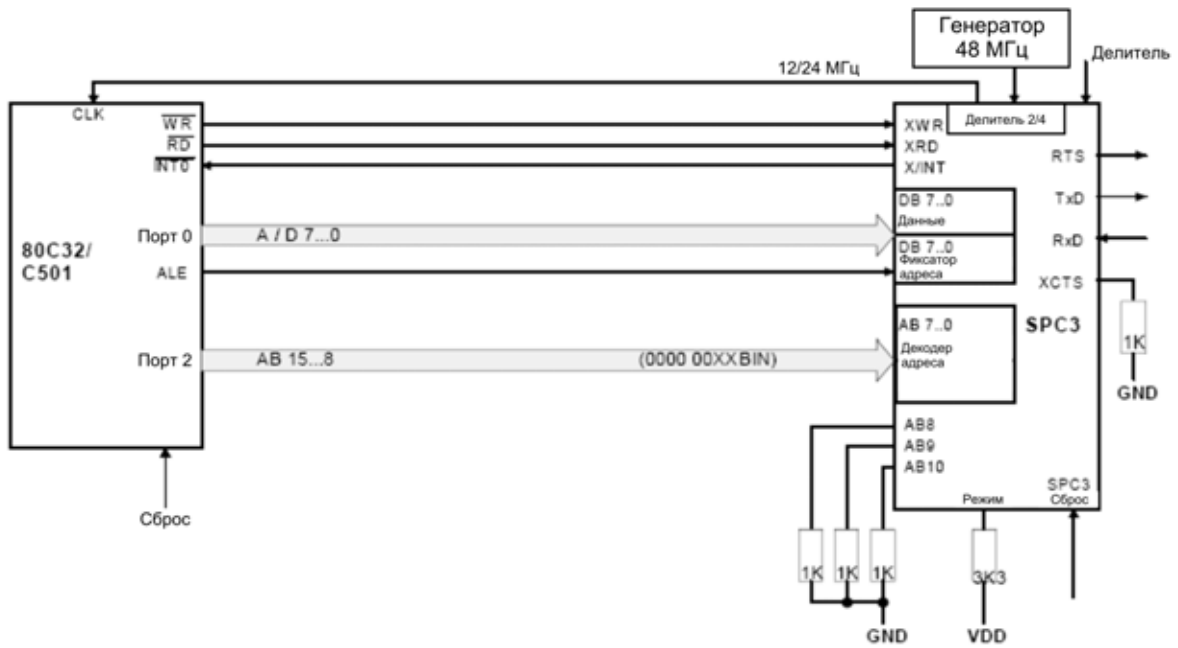
Если **SPC3 подключается к процессору 80286** или другим, необходимо учитывать, что процессор реализует пословный доступ. Т.е., любая "программа подкачки" необходима для переключения выходных символов SPC3 на соответствующие позиции байт 16-битной шины данных во время чтения или младший значащий бит адреса не подключен, а 80286 должен пословно читать и оценивать только нижний байт, как показано на рисунке.

XINT/MO	РЕЖИМ	SPC3 интерфейс поддерживает следующие процессоры/микроконтроллеры.
1	1	Микроконтроллер Motorola со следующими характеристиками: <ul style="list-style-type: none"> Синхронное (фиксированное) время шины без оценки сигнала XREADY 8-битная немultipлексированная шина: DB7..0, AB10..0
		Может быть подключено следующее: <ul style="list-style-type: none"> HC11 типы: K, N, M, F1 HC16- и HC916 с программируемой синхронизацией часов E Другим HC11 типам с multipлексированной шиной должны быть внешне заданы адреса AB7..0 из DB7..0 данных.
		Дешифратор адреса выключен в SPC3. CS сигнал подается в SPC3. <ul style="list-style-type: none"> Для микроконтроллеров с чипом выбора логики (K, F1, HC16, и HC916), сигналы выбора чипа - программируемые относительно диапазона адресов, приоритета, полярности и ширины окна цикла записи или цикла чтения. Для микроконтроллеров без чипа выбора логики (N и M) и других, необходим внешний чип выбора логики. Для этого необходимы дополнительные аппаратные средства и фиксированное назначение.
		Условие: <ul style="list-style-type: none"> Выходная частота SPC3 (CLKOUT2/4) должна быть в четыре раза больше, чем E_CLOCK. Входная частота SPC3 (CLK) должна быть не менее чем в 10 раз больше необходимой системной частоты (E_Clock). Контакт делителя должен быть подключен к низкому уровню (деление на 4), в результате E_CLOCK – 3 МГц
1	0	Микроконтроллер Motorola со следующими характеристиками: <ul style="list-style-type: none"> Асинхронное время шины с оценкой сигнала XREADY 8-битная немultipлексированная шина: DB7..0, AB10..0
		Может быть подключено следующее: <ul style="list-style-type: none"> HC16 и HC916 Другим HC11 типам с multipлексированной шиной должны быть внешне заданы адреса AB7..0
		Декодер адреса выключен в SPC3. CS сигнал подается в SPC3. <ul style="list-style-type: none"> Логика выбора чипа доступна и программируется всеми микроконтроллерами.
0	1	СPU микроконтроллера Intel на основе микроконтроллеров 80C51/52/32 различных производителей: <ul style="list-style-type: none"> Синхронное (фиксированное) время шины без оценки сигнала XREADY 8-битная multipлексированная шина: ADB7..0
		Может быть подключено следующее: <ul style="list-style-type: none"> Семейство микроконтроллеров от Intel, Siemens, Philips.
		Декодер адреса включен в SPC3. CS сигнал внутренне сгенерирован для SPC3. <ul style="list-style-type: none"> Младшие адресные биты AB7..0 сохраняются с помощью ALE сигнала в промежуточной микросхеме хранения битов. Внутренний CS активирован в SPC3 и генерирует собственные CS сигналы из AB10..0 адресов. <ul style="list-style-type: none"> Внутренний декодер адреса имеет фиксированную разводку, так чтобы SPC3 всегда был адресован с фиксированными адресами AB7..0 = 00000xxxh. SPC3 выбирает соответствующий адрес окна из сигналов AB2..0. В этом режиме CS-Pin (XCS) должен быть подключен VDD (высокий потенциал).
0	1	Семейство 16-/8-битных микроконтроллеров от Intel и Siemens <ul style="list-style-type: none"> Асинхронное время шины с изменением сигнала XREADY 8-битная немultipлексированная шина: DB7..0, AB10..0
		Может быть подключено следующее: <ul style="list-style-type: none"> Семейство микроконтроллеров от Intel x86 и Siemens 80C16x.
		Декодер адреса выключен в SPC3. CS сигнал подается в SPC3. <ul style="list-style-type: none"> Всегда необходим внешний декодер адреса. Внешняя логика выбора чипа, если микроконтроллер не представлен.

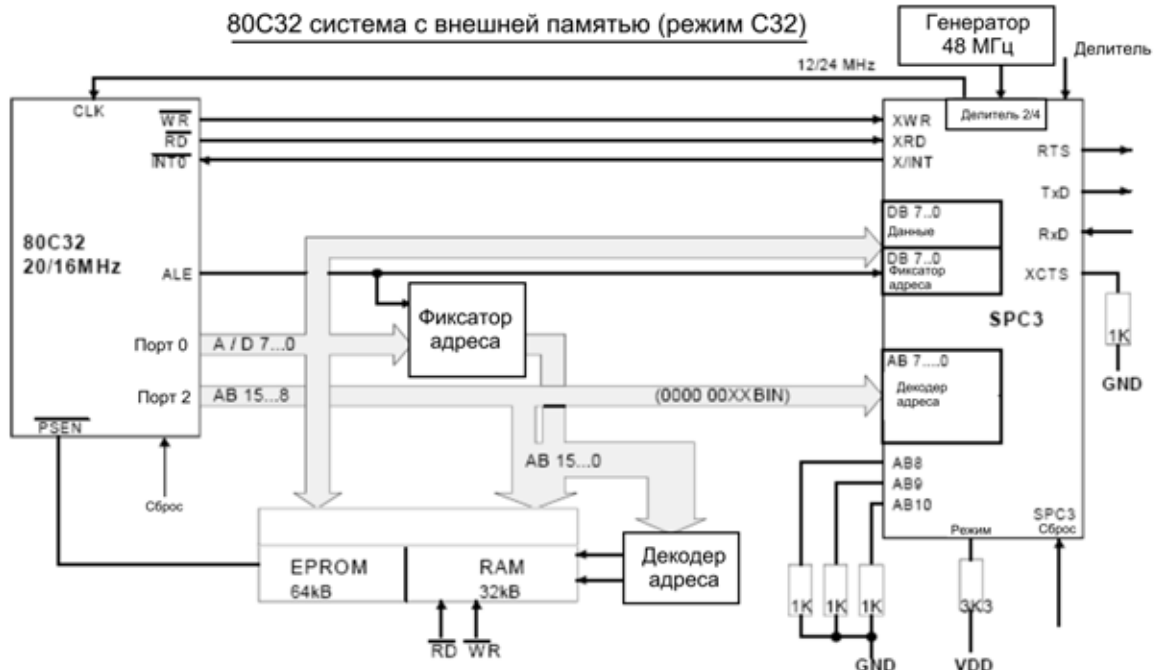
Рисунок 7.1: Интерфейс шины

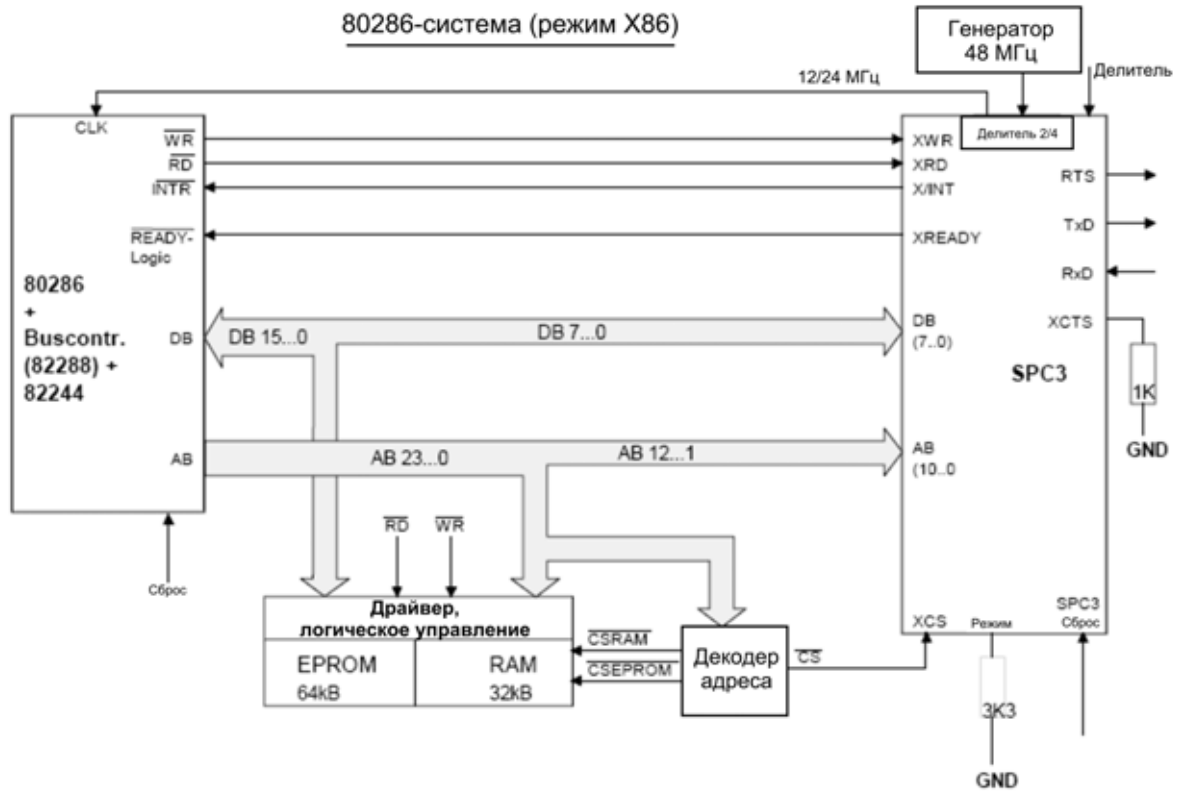
7.1.3 Принципиальные коммутационные схемы

Недорогая система с 80C32

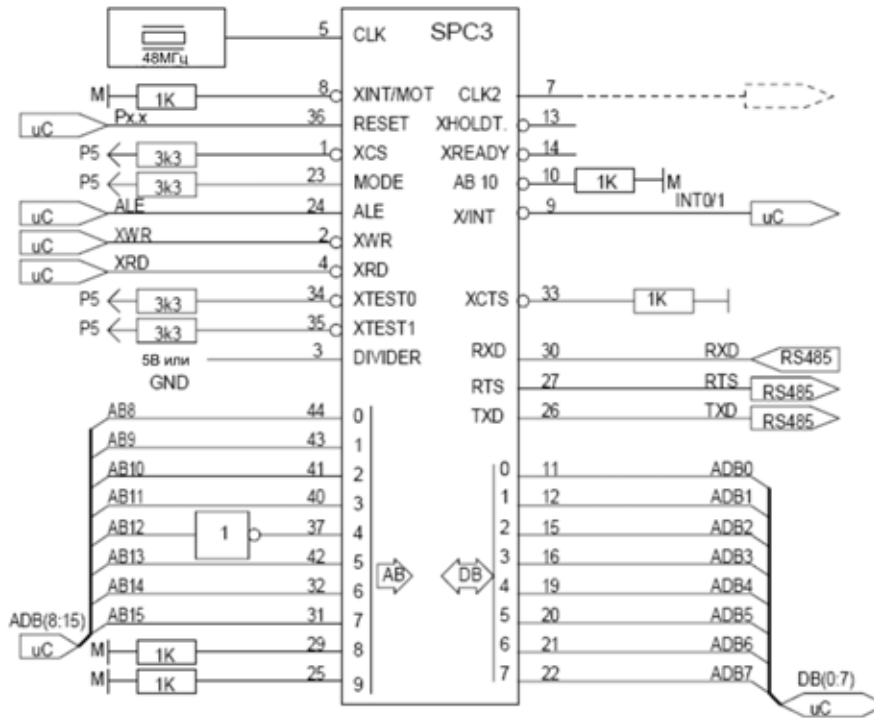


80C32 система с внешней памятью (режим C32)

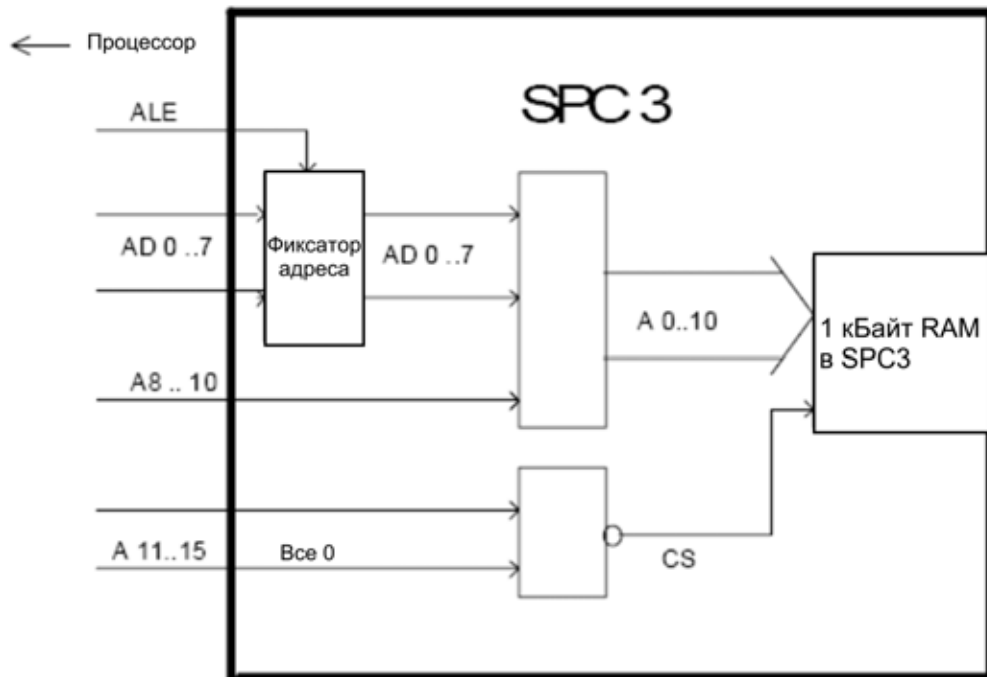




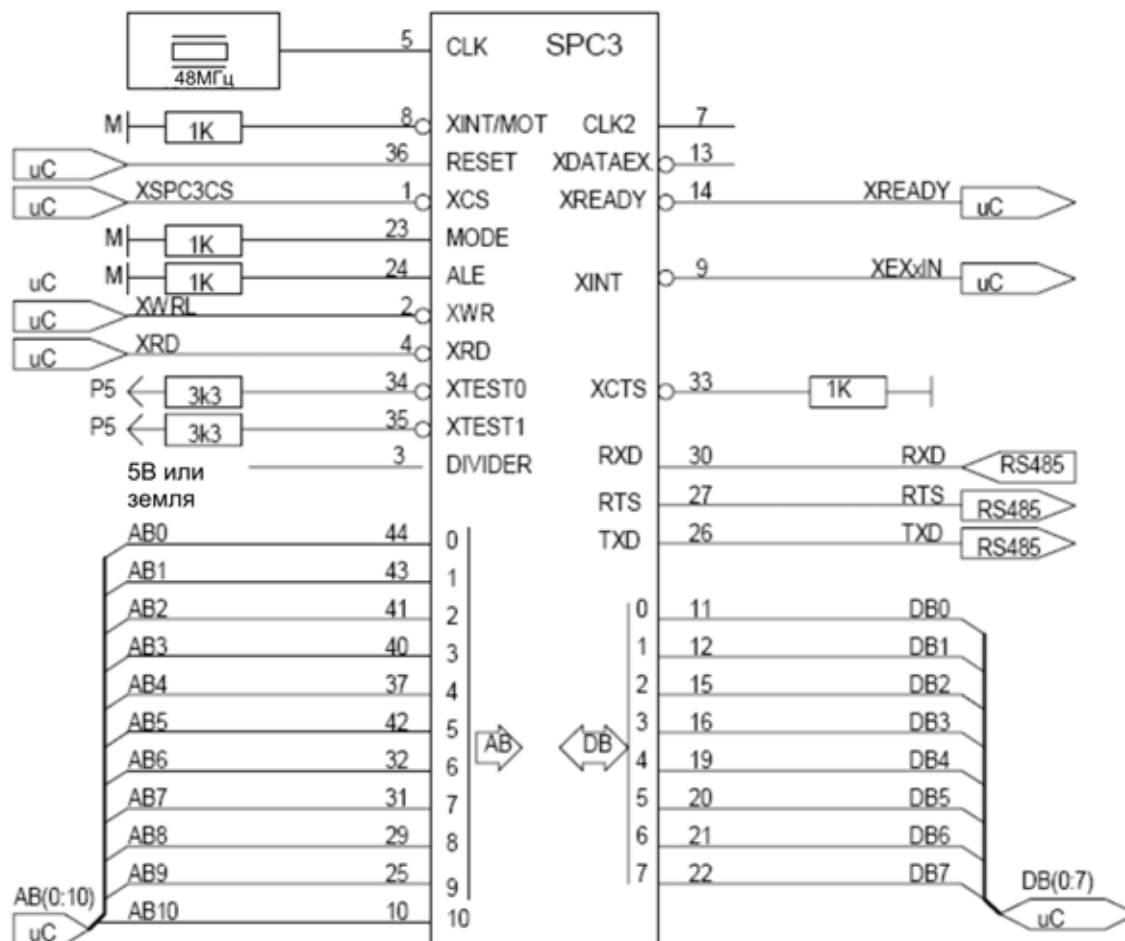
7.1.4 Приложения с 80 С 32



Резисторы на вышеприведенном рисунке относятся только к тестовым цепям. Внутренняя логика выбора чипа активируется, когда адресные контакты A 11 .. A 15 сбрасываются на „0“. В примере на рисунке стартовый адрес SPC3 установлен на 0x1000.



7.1.5 Приложение с 80 С 165



Резисторы на вышеприведенном рисунке относятся только к тестовым схемам.

Dual Port RAM контроллер

Внутренняя 1.5Кбайт RAM память в SPC3 представляет собой однопортовую Single Port RAM. Что касается встроенного Dual Port RAM контроллера, он позволяет одновременный доступ к обоим портам (шинный интерфейс и интерфейс микросеквенсора). При одновременном доступе к обоим портам, шинный интерфейс имеет приоритет. Это обеспечивает минимальное время доступа. Если SPC3 подключен к микроконтроллеру с асинхронным интерфейсом, SPC3 может оценивать сигнал готовности (Ready).

7.1.6 Интерфейсные сигналы

Выходы шины данных на фазе сброса имеют высокое сопротивление. Все выходы имеют высокое сопротивление в тестовом режиме. (Смотрите тест блока)

Имя	Вход/ выход	Тип	Комментарий
DB(7..0)	I/O	Tristate	Высокое сопротивление при RESET
AB(10..0)	I		AB(10) подтягивающий к 0 резистор.
MODE	I		Задание: синхр./асинхр. интерфейс
XWR/E_CLOCK	I		Intel: Запись /Motorola: E-Clk
XRD/R_W	I		Intel: Чтение /Motorola: Чтение/Запись
XCS	I		Выбор чипа
ALE/AS	I		Intel/Motorola: Активация фиксатора адреса
DIVIDER	I		Коэффициент деления 2/4 для CLKOUT 2/4
X/INT	O	Tristate	Программируемость полярности
XRDY/XDTACK	O	Tristate	Intel/Motorola: Сигнал готовности
CLK	I		48 МГц
XINT/MOT	I		Задание: Intel/Motorola
CLKOUT2/4	O	Tristate	24/12 МГц
RESET	I	Триггер Шмитта	Минимум 4 тактовых импульса

Рисунок 7.2: Шинные сигналы микропроцессора

7.2 UART

Передачик преобразует параллельную структуру данных в последовательную передачу данных. Запрос на передачу Request-to-Send (RTS) генерируется перед первым символом. Вход XCTS доступен для подключения модема. После активизации RTS, передачик должен удерживать первый символ телеграммы пока не активизируется XCTS модем.

Приемник конвертирует последовательный поток данных в параллельную структуру данных. Приемник сканирует последовательный поток данных с учетверенной скоростью по отношению к скорости передачи. В тестовых целях, проверка стопового бита может быть выключена. („DIS_STOP_CONTROL = 1“, при нулевых регистре режима или 'Set_Param-Telegram' для DP). В соответствии с протоколом PROFIBUS, не должно быть состояний покоя между символами телеграммы. Передачик SPC3 обеспечивает выполнение этого требования. Проверка стартового бита выключается при установке параметра „DIS_START_CONTROL = 1“ (при нулевом регистре режима или 'Set_Param telegram' для DP).

7.3 Тест ASIC

Все выходные контакты и I/O контакты могут переходить в высокорезистивное состояние с помощью тестового контакта XTEST0. Дополнительный контакт XTEST1 позволяет (дополнительная информация по отдельному запросу) произвести внутреннюю проверку блока с помощью автоматических тестовых приборов (без установки в конечное устройство!).

Контакт	Название	Функция	
34	XTEST0	VSS (GND)	Все выходы высокорезистивны
		VDD (+5V)	Нормальная работа SPC3
35	XTEST1	VSS (GND)	Различные тестовые режимы
		VDD (+5V)	Нормальная работа SPC3

Рисунок 7.3: Тестирование

XTEST0 и XTEST1 должны быть подключены к V_{DD} (+5V) через внешние подтягивающие резисторы.

8 Технические данные

8.1 Максимально допустимые значения

Параметр	Обозначение	Минимум		Максимум		Единицы
		AMI-Vers.	ST-Vers.	AMI-Vers.	ST-Vers.	
Напряжение питания	V_{DD}	-	-0,5	6	7	В
Входное напряжение	V_I	-	-0,5	$V_{DD}+0,3$	$V_{DD}+0,5$	В
Входной ток	I_I	-	к.А.	10	к.А.	мА
Температура хранения	T_{Stg}	-	-40	150	125	$^{\circ}\text{C}$
Температура окр. среды	TA	-	-40	85	85	$^{\circ}\text{C}$
Темп-ра пайки (10 сек.)	TL	к. А	к.А.	300	к.А.	$^{\circ}\text{C}$

Таблица 8.1: Максимально допустимые значения

8.2 Допустимые рабочие значения

Параметр	Обозначение	Минимум		Максимум		Единицы
		AMI-Vers.	ST-Vers.	AMI-Vers.	ST-Vers.	
Напряжение питания	V_{DD}	4,5	4,75	5,5	5,25	В
Высокий уровень входа	V_{IH}	$0,7 V_{DD}$	$0,7 V_{DD}$	к.А.	B_{DD}	В
Низкий уровень входа	V_{IL}	к.А.	0	$0,3 B_{DD}$	$0,3 B_{DD}$	В
Триггер Шмитта (CMOS)						
Высокий уровень входа	V_P / V_{IH}	к.А.	к.А.	$0,8 V_{DD}$	4	В
Низкий уровень входа	V_n / V_{IL}	$0,2 V_{DD}$	1	к.А.	к.А.	В
Гистерезис напряжения	V_h	1	к.А.	к.А.	к.А.	В
Триггер шмитта (TTL)						
Высокий уровень входа	V_P / V_{IH}	к.А.	к.А.	2,1	2,4	В
Низкий уровень входа	V_n / V_{IL}	0,7	0,6	к.А.	к.А.	В
Гистерезис напряжения	V_h	0,4	к.А.	к.А.	к.А.	В

Таблица 8. 2: Допустимые рабочие значения

8.3 DC-характеристики I/O-драйверов (постоянный ток)

Параметр	Обозн.	Условие		Минимум		Максимум		Единицы
		AMI-Vers.	ST-Vers.	AMI-Vers.	ST-Vers.	AMI-Vers.	ST-Vers.	
Высокий уровень выхода	V_{OH}	$V_{DD}=4,5\text{V}$	к.А.	$V_{DD}-0,5^*$	$V_{DD}-0,5$	к.А.	к.А.	В
Высокий уровень выхода	V_{OH}	$V_{DD}=4,5\text{V}$	к.А.	3.65 **	$V_{DD}-0,5$	к.А.	к.А.	В
Низкий уровень выхода	V_{OL}	$V_{DD}=4,5\text{V}$	к.А.	к.А.	к.А.	0,4*	0,4	В
Низкий уровень выхода	V_{OL}	$V_{DD}=4,5\text{V}$	к.А.	к.А.	к.А.	0,55**	0,4	В

* при выходной нагрузке 4мА

** при выходной нагрузке 8мА

Таблица 8.3: DC-характеристики I/O- драйверов

		AMI-Vers.	ST-Vers.	AMI-Vers.	ST-Vers.	AMI-Vers.	ST-Vers.	
Входная емкость	CIN	п.с	п.с.	5	10	п.с.	п.с.	пФ
Выходная емкость	COUТ	п.с	п.с.	5	10	п.с.	п.с.	пФ
I/O-емкость	CI/O	п.с.	п.с.	5	10	п.с.	п.с.	пФ

Таблица 8.4: Емкостные характеристики I/O-драйверов

Параметр	Обоз.	Минимум		Максимум		Единицы
		AMI-Vers.	ST-Vers.	AMI-Vers.	ST-Vers.	
Ток утечки входов	I_I	-1	-1	1	1	мкА
Ток утечки выходов с тремя состояниями (tristate)	I_{OZ}	-10	-10	10	10	мкА

Таблица 8.5: Ток утечки выходных драйверов

8.4 AC-Технические данные выходных драйверов (переменный ток)

Обозначение сигнала	Тип драйвера	Потребляемый ток		Единицы	ост.емкость
		AMI-Vers.	ST-Vers.		
DB(7:0)	Tristate	8	8	мА	100 пФ
TXD	Tristate	8	8	мА	50 пФ
RTS	Tristate	8	8	мА	50 пФ
X/INT	Tristate	8	4	мА	50 пФ
XREADY/XDSACK	Tristate	8	4	мА	50 пФ
XDATAEXCH	Tristate	8	8	мА	50 пФ
CLKOUT2/4	Tristate	8	8	мА	100 пФ

Примечание:

Выходная мощность AMI-драйверов составляет 8mA при выполнении условий таблицы 8.3

Таблица 8.6: AC-Технические данные выходных драйверов (переменный ток)

8.5 Временные характеристики

Примите во внимание следующее: Все сигналы, начинающиеся с 'X' = 'low active'(активируются низким уровнем).

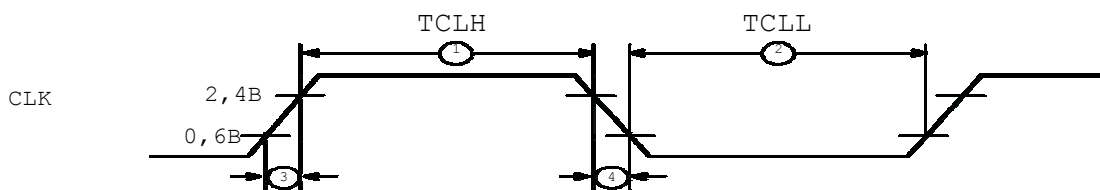
Все сигналы во время обработки имеют емкостную нагрузку с нижеприведенными характеристиками.

8.5.1 Интерфейс системной шины (SYS Bus)

Частота (Clock Pulse):

№	Параметр	Минимум	Максимум	Единицы
Частота 48 МГц :				
1	Время высокого уровня	6.25	14.6	нс
2	Время низкого уровня	6.25	14.6	нс
3	Время нарастания		4	нс
4	Время спада		4	нс

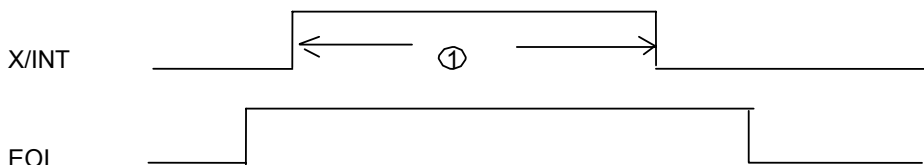
Временная диаграмма импульсов (Clock Pulse):



Допускается искажение сигнала импульсов clock pulse до соотношения 40:60. При пороговой величине от 1.5 до 3.5 В:

Прерывания:

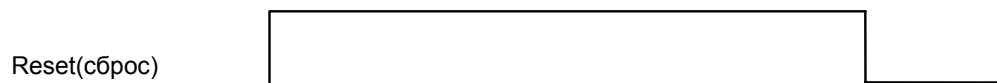
№	Параметр	Минимум	Максимум	Единицы
1	Время задержки прерывания(для EO1_Timebase = 0)	1	1	мкс
	Время задержки прерывания	1	1	мс



После квитирования прерывания с помощью EO1, минимум 1 мкс или 1 мс выдерживаются SPC3 перед выдачей нового прерывания.

Сброс:

SPC3 требует минимум 400 тактовых циклов для выполнения корректного сброса.



8.5.2 Временные характеристики синхронного C32-режима:

Если SPC3 работает на 48МГц, к нему может быть подключен 80C32 с максимальной тактовой частотой 20МГц.

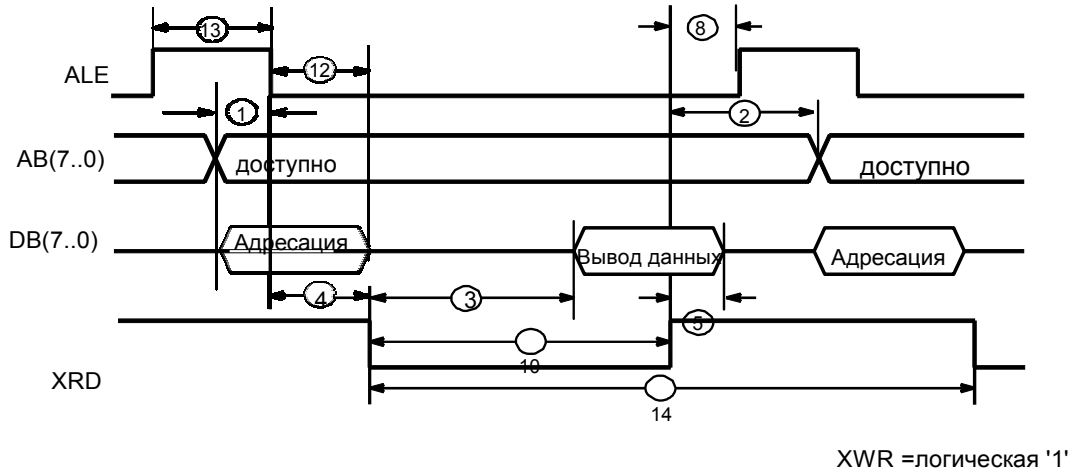
В режиме C32, SPC3 сохраняет младший адрес по отрицательному фронту ALE. В тоже время, SPC3 ожидает старшие адресные биты с адресной шины. SPC3 вырабатывает сигнал выбора чипа из старшего адресного бита. Запрос на доступ к SPC3 вырабатывается по отрицательному фронту сигнала на чтение и по положительному фронту сигнала на запись.

№	Параметр	AMI-Vers.		ST-Vers.		Единицы
		Min	Max	Min	Max	
1	Адресация к ALE ↓ Setuptime	10		10		нс
2	Удержание адреса (AB8..15) после XRD ↑ или XWR ↑	5		5		нс
3	XRD ↓ к Data Out (Zugriff auf RAM)		4T + 5 (88,3)		3T+42.5 (105)	нс
	XRD ↓ к Data Out (Zugriff auf die Register)		4T + 18 (101,3)		4T+20.2 (103,5)	нс
4	ALE ↓ к XRD ↓	20		20		нс
5	Удержание данных после XRD ↑	2	6	3.1	10.2	нс
6	Удержание данных после XWR ↑	10		10		нс
7	Время установки данных к XWR ↑	10		10		нс
8	XRD ↑ к ALE ↑	10		10		нс
10	XRD- ширина импульса	6T - 10		6T - 10		нс
11	XWR- ширина импульса	4T		4T		нс
12	Удержание адреса после ALE ↓	10		10		нс
13	ALE- ширина импульса	10		10		нс
14	XRD, XWR время цикла	6T + 30		6T + 30		нс
15	ALE ↓ к XWR ↓	20		20		нс
16	XWR ↑ к ALE ↑	10		10		нс

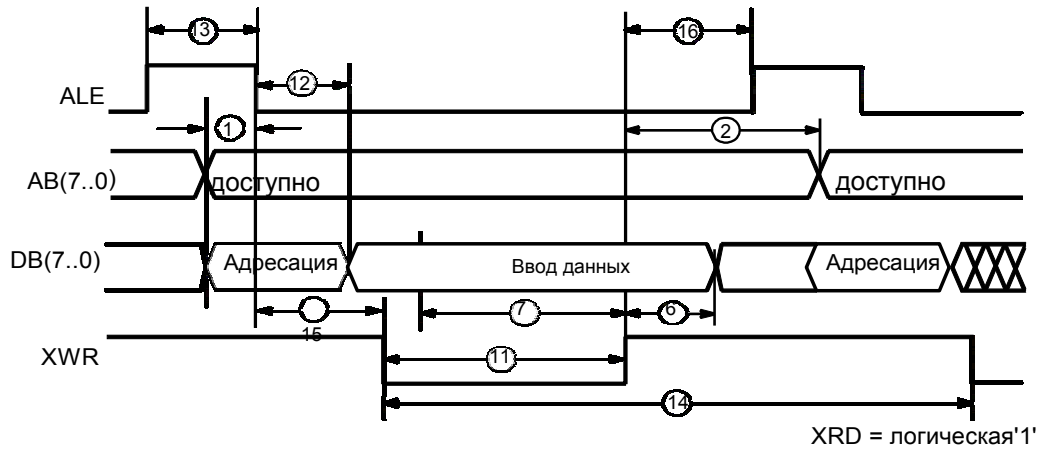
Пояснения:

- T = Цикл тактовых импульсов (48МГц)
- TBD = Нужно задавать
- (1) = Доступ к RAM
- (2) = Доступ к регистрам / триггерам - защелкам
- (3) = для T = 48МГц

Синхронный Intel-режим, временные характеристики чтения



Синхронный Intel-режим, временные характеристики записи



8.5.3 Временные характеристики асинхронного режима Intel (режим X86) :

При работе 80X86, SPC3 ведет себя как память с готовой логикой. Время доступа зависит от типа доступа.

Запрос на доступ к SPC3 вырабатывается по отрицательному фронту сигнала на чтение или по положительному фронту сигнала на запись.

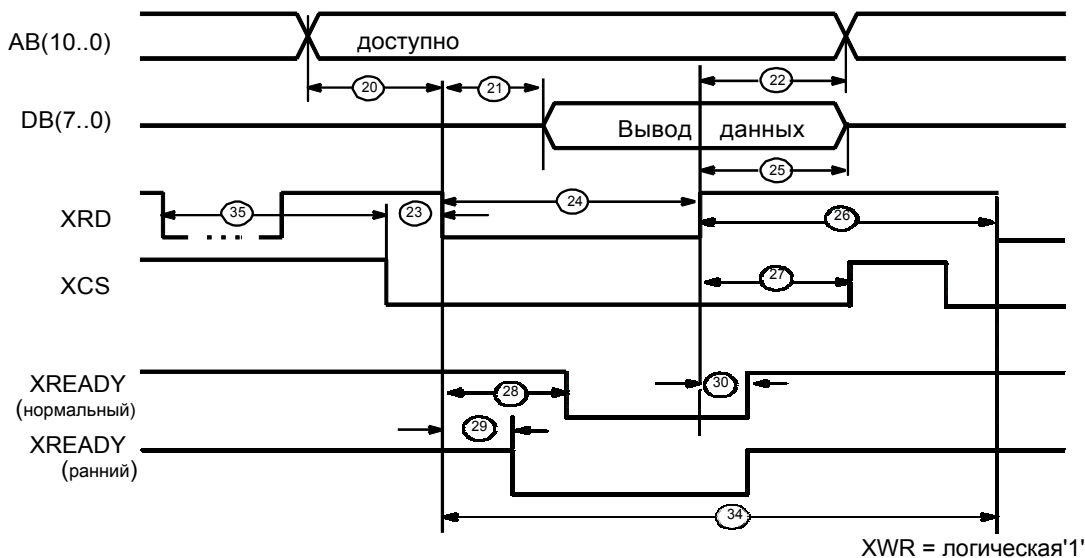
SPC3 вырабатывает сигнал готовности (Ready) синхронно с появлением импульса. Сигнал готовности сбрасывается при деактивации сигнала на чтение или на запись. Шина данных переключается на трехстатусную (Tristate) работу при XRD = 1.

№	Параметр	AMI-Vers.		ST-Vers.		Единицы
		Min	Max	Min	Max	
20	Время установки адреса для RXD ↓ или XWR ↓	0		0		нс
21	XRD ↓ для доступа к данным (при доступе к RAM)		4T+5 (88,3)		3T+42.5 (105)	нс
	XRD ↓ для доступа к данным (при доступе к регистру)		4T+18 (101,3)		4T+20.2 (103,5)	нс
22	Время удержания адреса (AB _{10..0}) после XRD или XWR ↑	0		0		нс
23	XCS ↓ время установки на XRD ↓ или XWR ↓	- 5		-5		нс
24	XRD ширина импульса	6T - 10 (115)		6T - 10 (115)		нс
25	Время удержания данных после XRD ↑	2	6	3.1	10.2	нс
26	Чтение/запись - время неактивности	10		10		нс
27	XCS время удержания после XRD ↑ или XWR ↑	0		0		нс
28	XRD/XWR ↓ к XRDY ↓ (нормальная готовность)	4T + 5	5T + 14		5T + 16	нс
29	XRD/XWR ↓ к XRDY ↓ (ранняя готовность)	3T + 5	4T + 14		4T + 12	нс
30	XREADY время удержания после XRD или XWR	4.3	12.8	6	22	нс
31	Время установки данных на XWR ↑	10		10		нс
32	Время удержания данных после XWR ↑	10		10		нс
33	XWR- ширина импульса*	4T		4T		нс
34	XRD, XWR время цикла	6T		6T		нс
35	последний XRD ↗ к XCS ↗	4T + 10		4T + 10		нс
36	XCS ↘ к следующему XWR ↘	2T + 10		2T + 10		нс
37	XWR ↘ к следующему XWR ↘ без учета XCS	6T		6T		нс

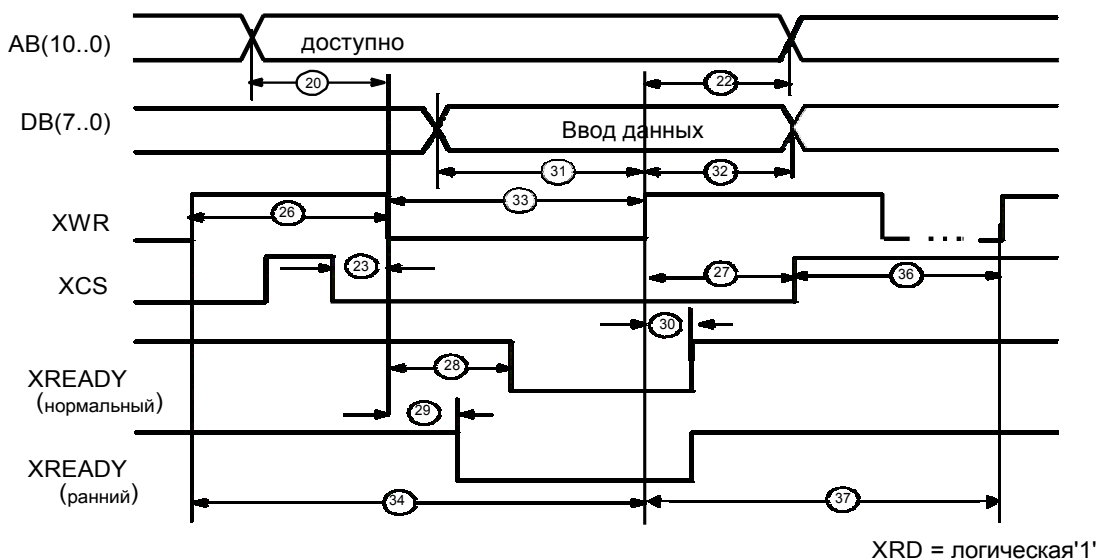
Пояснения:

- T = Цикл тактовых импульсов (48МГц)
 TBD = Должно быть задано
 (1) = Доступ к RAM
 (2) = Доступ к регистрам / триггерам-защелкам
 (3) = Для T = 48 МГц

Асинхронный Intel-режим, временные характеристики чтения



Асинхронный Intel-режим, временные характеристики записи



8.5.4 Временные характеристики синхронного Motorola- режима (E_Clock-режим, например, 68HC11):

Для CPU при работе через SPC3, выходные тактовые импульсы (CLKOUT2/4) должны быть в 4 раза больше, чем E_CLOCK. Это значит что сигнал тактового импульса должен подаваться на вход CLK как минимум, в 10 раз дольше, чем необходимый системный тактовый импульс (E_CLOCK). На вход делителя должен подаваться логический «0» (деление на 4). Это дает частоту для E_CLOCK = 3МГц.

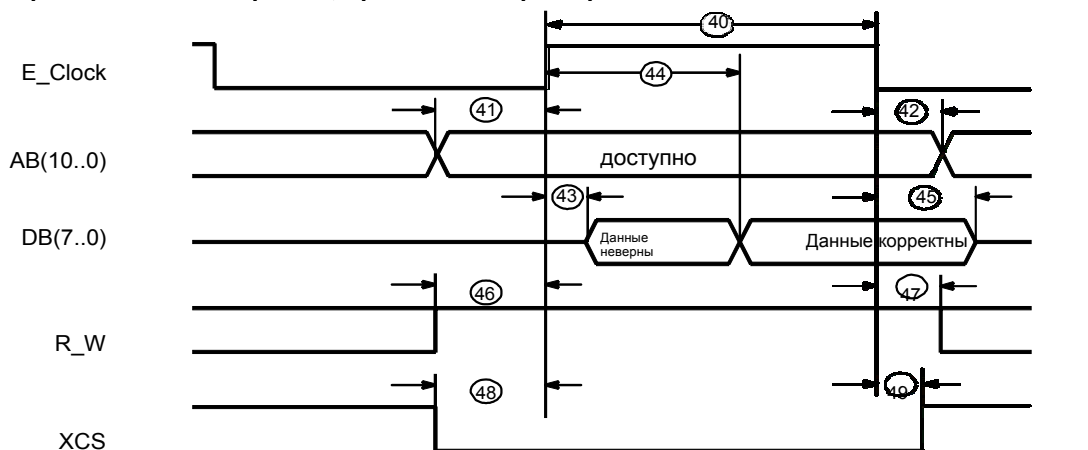
Запрос на доступ для чтения к SPC3 выдается по положительному фронту E clock (при этом: XCS = 0, R W = 1). Запрос на доступ для записи выдается по отрицательному фронту E clock (при этом: XCS = 0, R W = 0).

№	Параметр	AMI-Vers.		ST-Vers.		Единицы
		Min	Max	Min	Max	
40	E_Clock-Ширина импульса			$3T + 74.2$		нс
		$8.5.4.1. T + 74.2$				
41	Время установки адреса (AB _{10..0}) для E_Clock ↑	10		10		нс
42	Время удержания адреса (AB _{10..0}) после E_Clock ↓	5		5		нс
43	E_Clock ↑ задержки активации данных	5.7	17	5		нс
44	E_Clock ↑ для доступа к данным (при доступе к RAM)		$4T + 5$ (88,3)		$3T + 44.2$ (107)	нс
	E_Clock ↑ для доступа к данным (при доступе к регистрам)		$4T + 18$ (101,3)		$4T + 21.9$ (105,2)	нс
45	Время удержания данных после E_Clock ↓	2	6.3	4	12	нс
46	Время установки адреса R_W для E_Clock ↑	10		10		нс
47	Время удержания R_W после E_Clock ↓	5		5		нс
48	Время установки XCS для E_Clock ↑	0		0		нс
49	Время удержания XCS после E_Clock ↓	0		0		нс
50	Время установки данных для E_Clock ↓	10		10		нс
51	Время удержания данных после E_Clock ↓	10		10		нс

Пояснения:

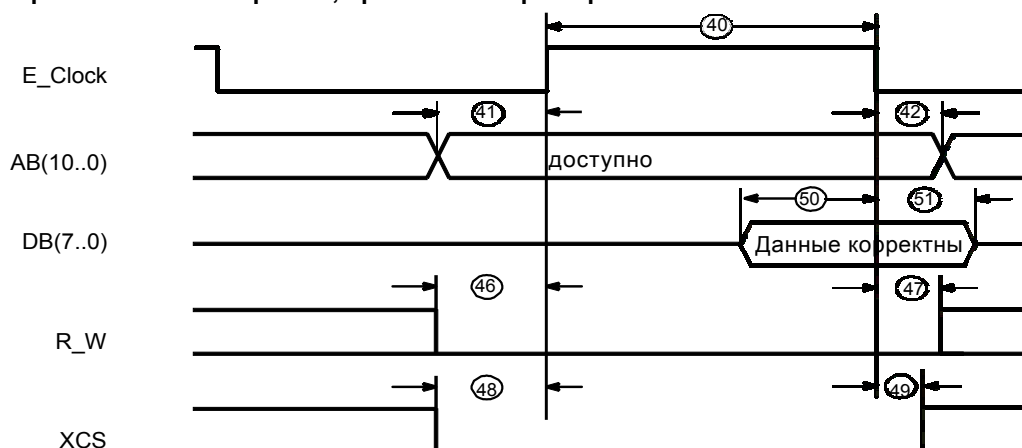
- T = Цикл тактовых импульсов (48МГц)
- TBD = Должно быть задано
- (1) = Доступ к RAM
- (2) = Доступ к регистрам / триггерам-защелкам
- (3) = Для T = 48 МГц

Синхронный Motorola-режим, временные характеристики чтения



AS = логическая '1'

Синхронный Motorola- режим, временные характеристики записи



AS = логическая '1'

8.5. 5 Временные характеристики асинхронного Motorola- режима (например, 68HC16) :

В асинхронном Motorola - режиме, SPC3 работает как память с логикой готовности (Ready logic), поэтому времена доступа зависят от типа доступа.

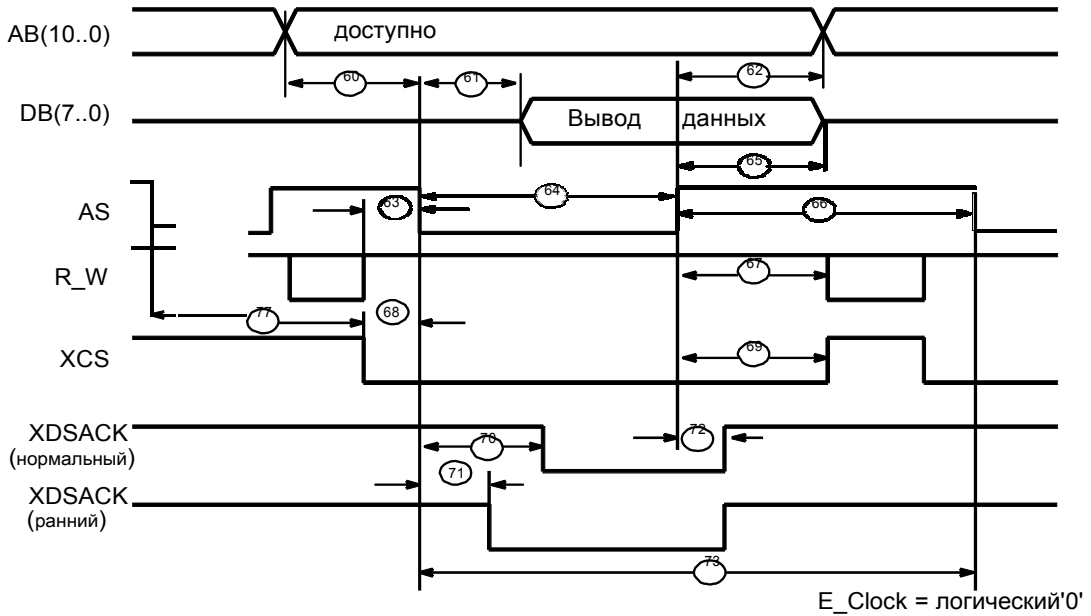
Запрос на доступ SPC3 вырабатывается по положительному фронту сигнала AS (при этом: XCS='0', R_W='1'). Запрос на доступ для записи по положительному фронту сигнала AS (при этом: XCS='0', R_W='0').

№	Параметр	AMI-Vers.		ST-Vers.		Единицы
		Min	Max	Min	Max	
60	Время установки адреса для AS ↓	0		0		нс
61	AS ↓ для доступа к данным (при доступе к RAM)		4T + 5 (88,3)		3T + 45.2 (108)	нс
	AS ↓ для доступа к данным (при доступе к регистрам)		4T + 18 (101,3)		4T + 22.9 (106,2)	нс
62	Время удержания адреса (AB _{10..0}) после AS ↑	10		10		нс
63	Время установки R_W ↓ к AS ↓	10		10		нс
64	AS-ширина импульса(чтение)	6T - 10		6T - 10		нс
65	Время удержания данных после AS ↑	2	6.3	4	12	нс
66	Время неактивности AS	10		10		нс
67	Время удержания R_W после AS ↑	10		10		нс
68	Время установки XCS ↓ для AS ↓	-5		-5		нс
69	Время удержания XCS после AS ↑	0		0		нс
70	AS ↓ to XDSACK ↓ (Read, Normal Ready)	4T + 5	5T + 14		5T + 16	нс
71	AS ↓ to XDSACK ↓ (Read, Early Ready)	3T + 5	4T + 14		4T + 16	нс
72	Время удержания XDSACK после AS ↑	4.3	12.7	6	22	нс
73	AS –время цикла	6T		6T		нс
74	Время установки данных для AS ↑	10		10		нс
75	Время удержания данных после AS ↑	10		10		нс
76	AS-Ширина импульса (запись) *	4T		4T		нс
77	Задержка AS ↗ (чтение) от XCS ↗	4T + 10		4T + 10		нс
78	XCS ↘ до следующего AS ↘ (запись)	2T + 10		2T + 10		нс
79	AS ↘ до следующего AS ↘ (запись, XCS не учитывается)	6T		6T		нс

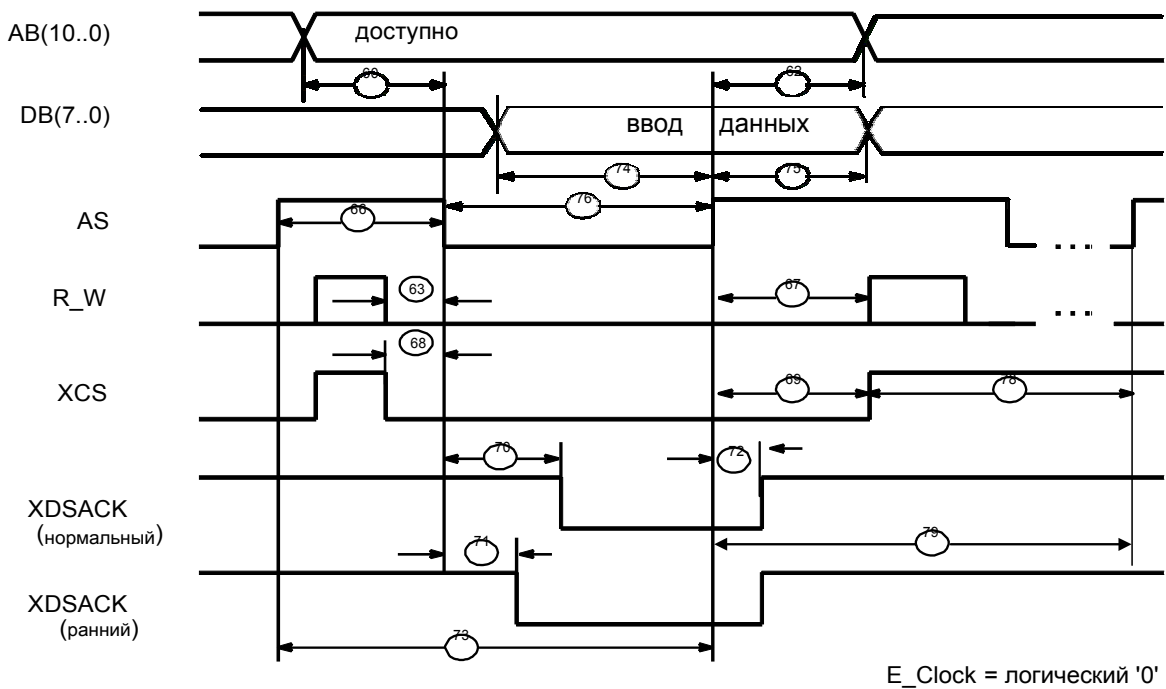
Пояснения:

- T = Цикл тактовых импульсов (48МГц)
- TBD = Должно быть задано
- (1) = Доступ к RAM
- (2) = Доступ к регистрам / триггерам-защелкам
- (3) = Для T = 48 МГц

Синхронный Motorola- режим, временные характеристики чтения



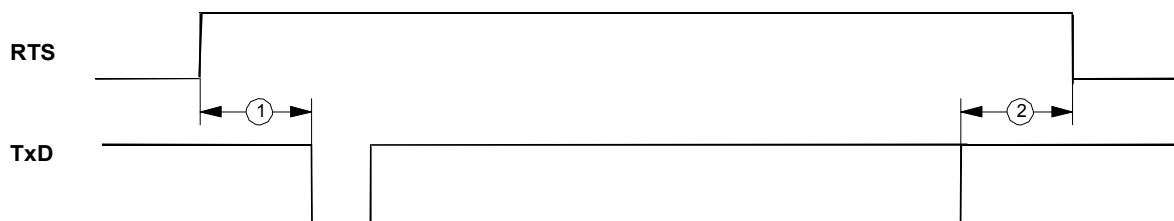
Синхронный Motorola- режим, временные характеристики записи



8.5.6 Последовательный шинный интерфейс

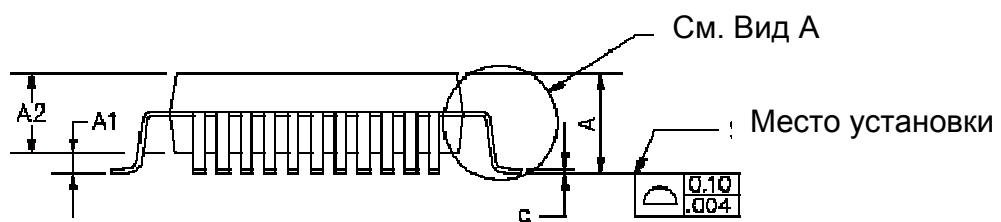
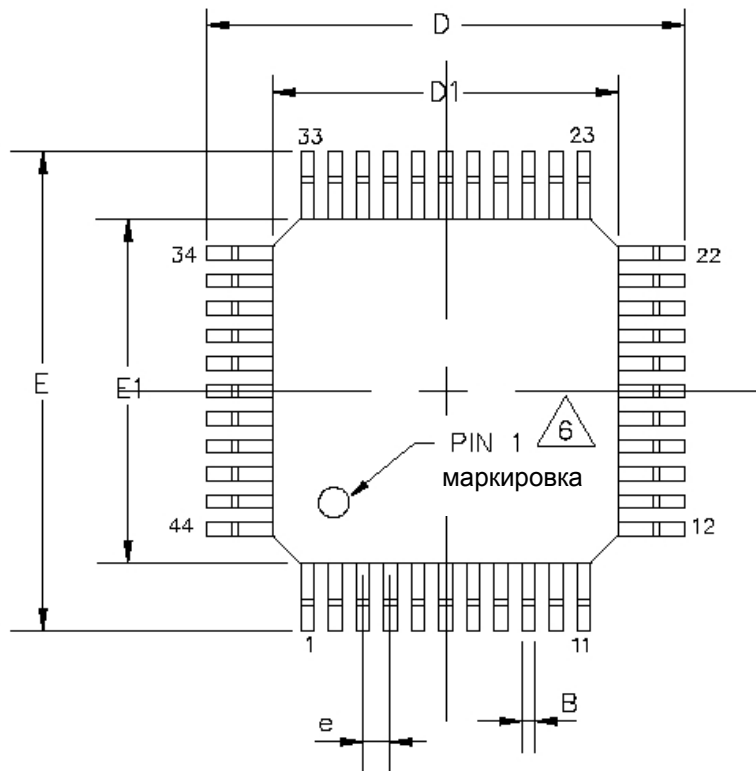
№	Параметр	MIN	MAX	Единицы
Частота 48 МГц:				
1	RTS ↑ к TxD время установки	4T		
2	RTS ↓ к TxD удержание маркера	4T		

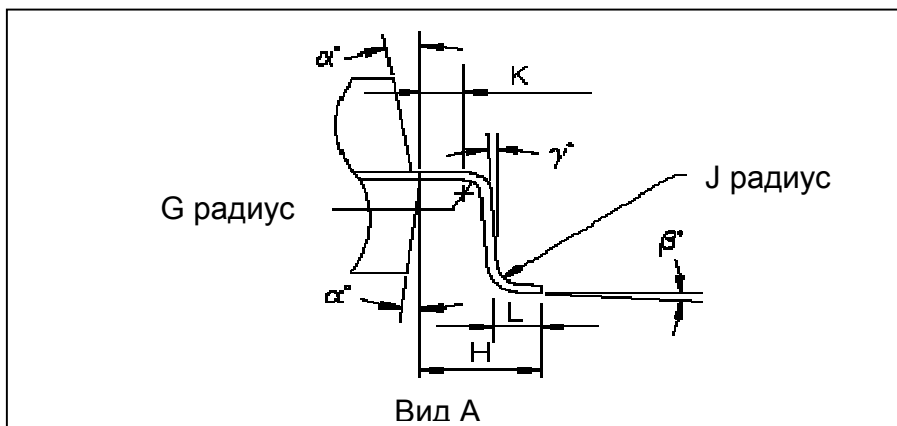
T = цикл тактовой частоты (48МГц)



8.5.7 Корпус

Корпус PQFP-44





Обозначение	Min		Типично		Max	
	AMI-Vers.	ST-Vers.	AMI-Vers.	ST-Vers.	AMI-Vers.	ST-Vers.
A	-	-	2.13	-	2.35	2.45
A1	0.10	0.25	0.15	-	0.25	-
A2	1.95	1.90	2.00	2.00	2.10	2.10
D	13.65	13.65	13.90	13.90	14.15	14.15
D1	9.90	9.90	10.00	10.00	10.10	10.10
E	13.65	13.65	13.90	13.90	14.15	14.15
E1	9.90	9.90	10.00	10.00	10.10	10.10
L	0.65	0.78	0.80	0.88	0.95	1.03
e BASIC	-	-	0.80	0.80	-	-
B	0.30	0.30	-	0.35	0.45	0.40
c	0.13	-	-	-	0.23	0.17
α°	12	-	-	10	16	-
β°	0	0	-	-	7	7
γ°	0	1	-	5	-	9
G	0.13	-	-	0.20	-	-
H	-	-	1.95	-	-	-
J	-	-	0.30	0.30	-	-
K	0.40	-	-	-	-	-
2H	-	-	3.90	3.90	-	-

8.5.8 Инструкции по применению

ESD процессные свойства должны поддерживаться всеми электронными компонентами. SPC3 является компонентом, который может подвергаться угрозе взлома, для предотвращения чего должны быть предусмотрены соответствующие мероприятия.

Перед использованием SPC3, рекомендуется произвести сушку компонентов при температуре **125° C в течение 24 часов** и затем использовать ее **в течение 48 часов**. Этот процесс сушки может выполняться только однажды, поскольку компоненты соединены при помощи пайки.

Также соединения SPC3 должны защищаться от изгибающих воздействий. Безупречная работа гарантируется при полировке не более чем на 0.1 мм. **SPC3** поставляется для инфракрасной пайки в соответствии с профилем по CECC00802.

9 PROFIBUS интерфейс

9.1 Назначение контактов

Передача данных выполняется через интерфейс RS 485 (физика RS 485). SPC3 подключен через соответствующие сигналы к гальванически изолированным интерфейсным драйверам.

Сигнал	Вход/ Выход	Функция
RTS	Выход	Запрос на передачу
TXD	Выход	Передача данных
RXD	Вход	Прием данных

Интерфейс PROFIBUS представляет собой 9-штырьковый разъем D-типа со следующим назначением контактов:

- 1 – Резерв
- 2 – Резерв
- 3 - В - линия
- 4 – Запрос на передачу (RTS)
- 5 - Земля 5В (**M5**)
- 6 - Питание 5В (**P5**)
- 7 – Резерв
- 8 – А –линия
- 9 - Резерв

Экран кабеля должен быть подключен к разъему.

Свободные контакты описаны как резервные в EN 50170 Vol. 2. При использовании, они должны соответствовать требованиям DIN192453.

Предупреждение:

Наименование А и В линий соединителя соответствуют наименованиям стандарта RS 485, а не наименованиям контактов драйвера ICs.

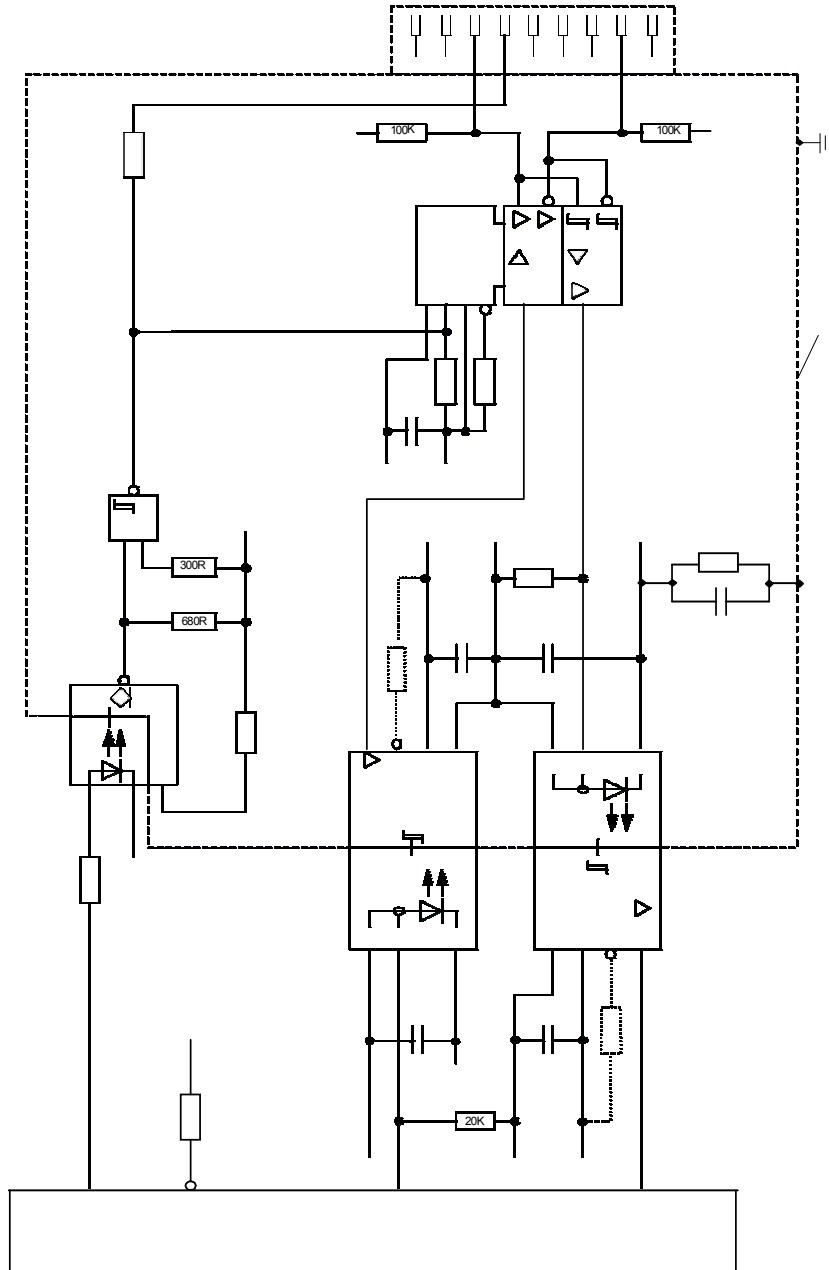
Используйте по возможности короткий кабель от драйвера до соединителя.

При работе на скорости передачи от 3 до 12 Мбод используйте новые виды шинных соединителей. Эти соединители компенсируют все возможные наводки в любых типах кабелей.

6ES7 972-0BB10-0XA0 с разъемом для программатора

6ES7 972-0BA10-0XA0 без разъема для программатора

9.2 Пример интерфейса RS 485



Пояснение к схеме:

Вход шинного драйвера EN2 должен быть подключен к низкому потенциалу для обеспечения прослушивания данных с шины после передачи телеграммы с помощью ASIC . Для минимизации емкости шинной линии, пользователь должен избегать использования дополнительных емкостей. Типовое значение емкости шинной станции обычно составляет 15 ... 25 пФ.

10 Приложение**10.1 Адреса****Организация пользователей PROFIBUS**

PNO
Офис
Mr. Dr. Wenzel
Haid- und Neu- Straße 7
76131 Karlsruhe
Тел.: (0721) 9658-590

Контактное лицо в ComDeC в Германии

Siemens AG
A&D SE RD73
Mr. Putschky

Адрес:
Postfach 2355
90713 Fürth

Тел.: (0911) 750 - 2078
Факс: (0911) 750 - 2100
email: Gerd.Putschky@siemens.com

Контактное лицо в центре PROFIBUS Interface Center в США

PROFIBUS Interface Center
One Internet Plaza
PO Box 4991
Johnson City, TN 37602-4991

Факс : (423) - 262 - 2103

Ваш партнер: Ron Mitchell
Тел.: (423) - 262 - 2687
email: Ron.Mitchell@sea.siemens.com

10.2 Основные термины

ASPC2	Advanced Siemens PROFIBUS Controller, 2 ^е поколение
SPC2	Siemens PROFIBUS Controller, 2 ^е поколение
SPC3	Siemens PROFIBUS Controller, 3 ^е поколение
SPM2	Siemens PROFIBUS Multiplexer, 2 ^е поколение
LSPM2	Lean Siemens PROFIBUS Multiplexer, 2 ^е поколение
DP	Децентрализованная периферия
FMS	Fieldbus Message Specification(Спецификация сообщений полевой шины)
MS	MicroSequenzler
SM	State Machine

10.3 Заказ ASICs

Для заказа SPC3 ASICs пожалуйста обратитесь в ближайшее региональное представительство Siemens и выберите один из заказных номеров, в зависимости от объема заказа.

10.3.1 SPC3 (AMI)

ASIC SPC 3	6ES7 195-0BD02-0XA0	Small amount	5
(STEP C)	6ES7 195-0BD12-0XA0	Single-Tray	96
	6ES7 195-0BD22-0XA0	Tray-Box	576
	6ES7 195-0BD32-0XA0	8 Tray-Box	4608
	6ES7 195-0BD42-0XA0	17 Tray-Box	9792

10.3.2 SPC3 (ST)

ASIC SPC 3	6ES7 195-0BD01-0XA0	Kleinverpack.	5
(STEP C)	6ES7 195-0BD11-0XA0	Einzel-Tray	96
	6ES7 195-0BD21-0XA0	Tray-Box	576
	6ES7 195-0BD31-0XA0	8 Tray-Box	4608
	6ES7 195-0BD41-0XA0	17 Tray-Box	9792

Заказные номера для версии «без содержания свинца»:

6ES7 195-0BD04-0XA0	Evaluation pack; 6 шт. -«без содержания свинца»
6ES7 195-0BD14-0XA0	Single tray; 96 шт. -«без содержания свинца»
6ES7 195-0BD24-0XA0	Try box; 960 шт. -«без содержания свинца»
6ES7 195-0BD34-0XA0	10 tray box; 4800 шт. -«без содержания свинца»

11 Приложение А: Обработка диагностики в PROFIBUS DP

11.1 Введение

PROFIBUS DP предоставляет удобные и многоуровневые возможности для обработки диагностических сообщений при возникновении ошибочных состояний.

При возникновении необходимости сообщения о диагностическом событии, слэйв посылает ответ в циклическом обмене данными с высоким приоритетом ответной телеграммы. В следующем шинном цикле, мастер запрашивает диагностику от данного слэйва, вместо выполнения нормальной процедуры обмена данными.

Кроме того, любой мастер (не только назначенный данному слэйву!) может запросить диагностику от слэйва. Диагностическая информация DP слэйва состоит из стандартной диагностической информации (6 байт) и может дополняться специфичной пользовательской диагностической информацией.

В случае ASICs, SPM2, и LSPM2 расширенная диагностика возможна при соответствующем подключении. В случае интеллектуальных SPCx решений, настраиваемая и удобная обработка диагностики может быть выполнена при программировании.

11.2 Диагностические биты и расширенная диагностика

Часть стандартной диагностической информации постоянно установлена в операционной системе и в микропрограмме ASICs через машинные состояния.

Однократный запрос диагностики („update_diag(..)“) выполняется при возникновении ошибки. Диагностика не должна запрашиваться циклически в ходе обмена данными; иначе, система будет перегружена излишними данными.

Три информационных бита могут изменяться приложением:

11.2.1 STAT_DIAG

Благодаря состоянию приложения, слэйв делает достоверные данные недоступными. Поэтому, мастер только запрашивает диагностическую информацию пока этот бит не будет сброшен. В то же время, PROFIBUS DP состояние в бите Data_Exchange определяет что сразу после сброса статической диагностики, может начинаться обмен данными.

Пример: ошибка напряжения питания для выходных драйверов.

11.2.2 EXT_DIAG

Если этот бит установлен, диагностическая запись **должна** присутствовать в пользовательских диагностических областях. Если этот бит не установлен, статусное сообщение может находиться в пользовательских диагностических областях.

Пользовательские диагностические данные:

Пользовательские диагностические данные могут заполняться в трех различных форматах: специфичная диагностика устройства:

Диагностическая информация может быть закодирована при необходимости.

	Бит 7	Бит 6	Бит 5-0
Байт заголовка	0	0	Длина блока в байтах, включая заголовок
Диагностическое поле	Кодировка специфичной диагностики устройства		
.....	Может быть задано при необходимости		

Идентификационная диагностика:

Для каждого идентификационного байта, назначенного при конфигурировании (например, 0 x 10 для одного входного байта), резервируется бит.

В случае модульных систем с идентификационным байтом для каждого модуля, может выводиться диагностика модуля. Один бит, соответственно, будет индексировать модульную диагностику.

	Бит 7	Бит 6	Биты 5-0
Байт заголовка	0	1	Длина в байтах, включая заголовок
Битовая структура	1		1

↑ Идентификационный байт 7

содержит диагностику

соотв. ↑ Идентификационный байт 0

содержит диагностику

Диагностика канала:

В этом блоке, диагностируемые каналы и причина диагностики вводятся последовательно. Три бита требуются на каждый ввод.

	Бит 7	Бит 6	Бит 5	Биты 4 - 0
Байт заголовка	1	0	Номер идентификатора	
Номер канала	Код Входа/Выхода		Номер канала	
Тип диагностики	Код Типа канала		Код типа ошибки Типа ошибки	

Кодирование типа ошибки определяется производителем; прочие кодировки определены в стандарте.

Пример:

0	0	0	0	0	1	0	0	Диагностика устройства.
Device-specific								Назначение битов
diagnostics field of length 3								определяется производителем.
0	1	0	0	0	1	0	1	Идентификационная диагностика.
							1	Идентификационный номер 0 содержит диагностику.
			1					
							1	Идентификационный номер 18 содержит диагностику.
1	0	0	0	0	0	0	0	Канальная диагностика, идентификационный номер 0.
0	0	0	0	0	0	1	0	Канал 2.
0	0	0	1	0	1	0	0	Перегрузка, битовая организация канала.
1	0	0	0	1	1	0	0	Канальная диагностика, идентификационный номер 12.
0	0	0	0	0	1	1	0	Канал 6.
1	0	1	0	0	1	1	1	Превышение верхнего предела значения, пословная организация канала.

Состояние

Если бит EXT_DIAG сброшен на 0, данные отображаются в виде статусной информации из системного обзора, при этом и уход ошибок приводит к вызову диагностики.

11.2.3 EXT_DIAG_OVERFLOW

Этот бит устанавливается, если появляется больше диагностических данных, чем может быть записано в доступную область диагностических данных. Например, если появляется больше диагностических данных, чем допускает буфер приема или передачи.

11.3 Обработка диагностики из Системного вида (System View)

В соответствии с шинной спецификой диагностической информации слэймов, она управляется только через интерфейс мастера (например, IM308B).

Вся диагностика от приложения доступна в S6 программе через соответствующие байты данных. Если устанавливается **внешний диагностический бит**, слэйвы, требующие диагностирования, могут быть оценены в обзоре диагностики. Тогда, может быть вызвана специальная подпрограмма обработки ошибок, посредством чего, может быть оценена стандартная и определяемая пользователем информация.

После оценки текущей диагностической информации, может выдаваться сообщение о состоянии от слэйва **без установки внешних диагностических битов**.

С помощью COM ET200, возможно использование комфортного диагностического он-лайн инструмента. В настоящее время, идентификационная диагностика может выводиться виде простого текста. В дальнейшем, также будет поддерживаться диагностика каналов. Пользовательская диагностика выводится только при установленном бите EXT_DIAG.

На рисунке внизу показан пример экрана обработки данных:

Set Program File	C:PNO4..ET.200	SIMATIC S5 / COM ET 200
SINGLE DIAGNOSTICS		
Station Number: 30		Station Type: ET 200U-COMBI
Station Designation:	Station4	
Station Status:	Slave not ready for data exchange	
	External diagnostics	
	Configuration error	
Device-Related Diagnostics		
	KH = 01	
Identification-Related Diagnostics		
	Slot	
Active	3	
F1	F2	F3
F4	F5	F6
F7	F8	EXIT

В типовом файле для COM ET200 и в GSD [данные ведущего устройства] файле, уже имеются поля для справочных бит, относящихся к устройству и соответствующих понятных текстовых сообщений (например, Бит7: „I have had it; good night!“).

12 Приложение В: Полезная информация

12.1 Формат данных в контроллерах SIMATIC фирмы Siemens

SPC3 всегда передает данные, начиная с начала буфера. 16-битовые значения показаны в формате Motorola. Например:

Указатель буфера	старший байт
Указатель буфера +1	младший байт

Siemens AG
Division Automation Engineering
Combination Engineering
PO Box 23 55, D-90713 Fuerth/Germany

SIEMENS Aktiengesellschaft

♥ Siemens AG
Subject to change without prior notice

Printed in the Fed. Rep. of Germany